

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2002 年 5 月 2 日 (02.05.2002)

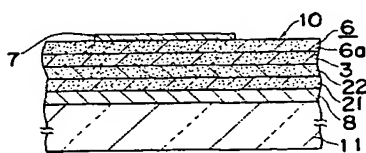
PCT

(10) 国際公開番号
WO 02/35572 A1

(51) 国際特許分類:	H01J 1/30	特願 2000-344301
		2000 年 11 月 10 日 (10.11.2000) JP
(21) 国際出願番号:	PCT/JP01/09423	特願 2001-145527 2001 年 5 月 15 日 (15.05.2001) JP
		特願 2001-145528 2001 年 5 月 15 日 (15.05.2001) JP
(22) 国際出願日:	2001 年 10 月 26 日 (26.10.2001)	
(25) 国際出願の言語:	日本語	(71) 出願人 (米国を除く全ての指定国について): 松下電工株式会社 (MATSUSHITA ELECTRIC WORKS, LTD.) [JP/JP]; 〒571-8686 大阪府門真市大字門真 1048 番地 Osaka (JP).
(26) 国際公開の言語:	日本語	
(30) 優先権データ:		(72) 発明者; および
特願 2000-326274	2000 年 10 月 26 日 (26.10.2000) JP	(75) 発明者/出願人 (米国についてのみ): 菰田卓哉 (KOMODA, Takuya) [JP/JP]. 本多由明 (HONDA, Yoshiaki) [JP/JP]. 相澤浩一 (AIZAWA, Koichi) [JP/JP]. 樺原 勉 (ICHIHARA, Tsutomu) [JP/JP]. 渡部祥文 (WATABE, [続葉有])
特願 2000-326276	2000 年 10 月 26 日 (26.10.2000) JP	

(54) Title: FIELD EMISSION TYPE ELECTRON SOURCE

(54) 発明の名称: 電界放射型電子源



(57) Abstract: A field emission type electron source (10) is provided with a lower electrode (8) comprising a conductive layer, a high-field drift layer (6) including a drift part (6a) comprising oxidized or nitride porous semiconductor, and a surface electrode (7) comprising an Au thin film on a glass insulation substrate (11). A voltage is impressed so that the surface electrode (7) may be positive to the lower electrode (8), and electrons injected from the lower electrode (8) into the high-field drift layer (6) drift this layer (6)

and are emitted outside through the surface electrode (7). A pn-junction semiconductor layer consisting of an n-layer (21) and a p-layer (22) is provided between the lower electrode (8) and the high-field drift layer (6). Thus, a leakage current is prevented from flowing from the lower electrode (8) to the surface electrode (7), and a power consumption is reduced.

(57) 要約:

電界放射型電子源 (10) においては、ガラスからなる絶縁性基板 (11) の上側に、導電性層からなる下部電極 (8) と、酸化又は窒化された多孔質半導体からなるドリフト部 (6a) を含む強電界ドリフト層 (6) と、金薄膜からなる表面電極 (7) とが設けられている。そして、表面電極 (7) が下部電極 (8) に対して正極となるように電圧が印加され、下部電極 (8) から強電界ドリフト層 (6) に注入された電子が、強電界ドリフト層 (6) をドリフトし、表面電極 (7) を通して外部に放出される。下部電極 (8) と強電界ドリフト層 (6) との間に、n 層 (21) と p 層 (22) とからなる pn 接合半導体層が設けられ、これにより、下部電極 (8) から表面電極 (7) にリーク電流が流れるのが防止され、電力消費量が低減される。

WO 02/35572 A1



Yoshifumi) [JP/JP]. 幡井 崇 (HATAI, Takashi) [JP/JP].
馬場 徹 (BABA, Toru) [JP/JP]; 〒571-8686 大阪府門
真市大字門真1048番地 松下電工株式会社内 Osaka
(JP).

(74) 代理人: 青山 葆, 外(AOYAMA, Tamotsu et al.); 〒
540-0001 大阪府大阪市中央区城見1丁目3番7号 IMP
ビル 青山特許事務所 Osaka (JP).

(81) 指定国 (国内): CN, KR, SG, US.

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, DE, DK,
ES, FI, FR, GB, IT, NL, SE).

添付公開書類:
— 国際調査報告書

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

明 細 書

電界放射型電子源

5 技術分野

本発明は、半導体材料を用いて電界放射により電子線を放射するようにした電界放射型電子源に関するものである。

背景技術

10 従来、電界放射型電子源（以下、略して「電子源」という。）としては、例えば米国特許第 3, 6 6 5, 2 4 1 号などに開示されているスピント（Spindt）型電極が知られている。スピント型電極は、微小な三角錐状のエミッタチップを多数配置した基板と、エミッタチップの先端部を露出させる放射孔を有する一方エミッタチップに対して絶縁されたゲート層とを備えている。そして、スピント型電極は、真空中で、エミッタチップがゲート層に対して負極となるように高電圧を
15 印加することにより、エミッタチップの先端から放射孔を通して電子線を放射する。

しかし、スピント型電極は、製造プロセスが複雑であり、また多数の三角錐状のエミッタチップを精度良く製作することが難しい。このため、例えば平面発光装置やディスプレイなどに応用する場合には大面積化が難しいといった問題がある。また、スピント型電極では、電界がエミッタチップの先端に集中するので、エミッタチップ先端周りの真空度が低くて残留ガスが存在する場合、放射された電子によって残留ガスがプラスイオンにイオン化される。このプラスイオンはエミッタチップの先端に衝突するので、エミッタチップの先端がダメージ（例えば、イオン衝撃による損傷）を受ける。このため、放射される電子の電流密度や放出効率などが不安定になったり、エミッタチップの寿命が短くなるといった不具合が生じる。したがって、スピント型電極は、このような不具合を防止するため、高真空（約 10^{-5} Pa ～ 約 10^{-6} Pa）で使用する必要がある。その結果、コストが高くなり、かつ取扱いが面倒であるといった問題がある。

20

25

このような不具合を改善するため、MIM (Metal Insulator Metal) 型あるいはMOS (Metal Oxide Semiconductor) 型の電子源が提案されている。前者は金属—絶縁膜—金属の積層構造を有する平面型の電子源であり、後者は金属—酸化膜—半導体の積層構造を有する平面型の電子源である。このタイプの電子源において電子の放出効率を高めるには（多くの電子を放射させるには）、絶縁膜や酸化膜の膜厚を薄くする必要がある。しかし、絶縁膜や酸化膜の膜厚を薄くしすぎると、積層構造の上下の電極間に電圧を印加したときに、絶縁破壊が生じるおそれがある。このような絶縁破壊を防止しなければならないので、絶縁膜や酸化膜の薄膜化には限界がある。このため、電子の放出効率（引き出し効率）をさほど高くすることができないといった問題がある。

また、近年、特開平8-250766号公報に開示されているように、シリコン基板などの単結晶の半導体基板を用い、この半導体基板の一表面を陽極酸化することにより多孔質半導体層（ポーラスシリコン層）を形成し、この多孔質半導体層上に金属薄膜を形成した電子源（半導体冷電子放出素子）が提案されている。この電子源では、半導体基板と金属薄膜との間に電圧を印加して電子を放射させるようにしている。

しかし、特開平8-250766号公報に開示された電子源では、基板が半導体基板に限られるので、大面積化やコストダウン化が難しいといった問題がある。また、電子放出時にいわゆるポッピング現象が生じやすく、電子放出量にむらが生じやすい。このため、平面発光装置やディスプレイなどに応用すると、発光むらが生じるといった問題がある。

そこで、本願発明者らは、特願平10-272340号、特願平10-272342号において、多孔質多結晶半導体層（例えば、多孔質化された多結晶シリコン層）を急速熱酸化（RTO）技術によって、例えば900℃で急速熱酸化することにより、導電性基板と金属薄膜（表面電極）との間に介在し、導電性基板から注入された電子がドリフトする強電界ドリフト層（以下、略して「ドリフト層」という。）を形成した電子源を提案した。

図43に示すように、この電子源10'では、導電性基板であるn形シリコン基板1の主表面側に、酸化された多孔質多結晶シリコン層よりなるドリフト層6

が形成されている。ドリフト層 6 上には、金属薄膜よりなる表面電極 7 が形成されている。n 形シリコン基板 1 の裏面には、オーミック電極 2 が形成されている。ドリフト層 6 の厚さは、例えば $1.5 \mu\text{m}$ に設定される。

図 4 4 に示すように、電子源 10' は、表面電極 7 が真空中に露出するように配置される。そして、表面電極 7 に対向するようにコレクタ電極 12 が配置される。かくして、表面電極 7 が n 形シリコン基板 1 (オーミック電極 2) に対して正極となるように直流電圧 V_p が印加される。さらに、コレクタ電極 12 が表面電極 7 に対して正極となるように直流電圧 V_c が印加される。これにより、n 形シリコン基板 1 からドリフト層 6 に注入された電子が、ドリフト層 6 をドリフトし、表面電極 7 を通して放出される (図 4 4 中の一点鎖線は、表面電極 7 を通して放出された電子 e^- の流れを示す。)。したがって、表面電極 7 には、仕事関数の小さな材料を用いるのが望ましい。ここで、表面電極 7 とオーミック電極 2 との間を流れる電流は一般にダイオード電流 I_p と称され、コレクタ電極 12 と表面電極 7 との間を流れる電流は一般に放出電子電流 I_e と称される。ダイオード電流 I_p に対する放出電子電流 I_e が大きい (I_e/I_p が大きい) ほど、電子放出効率が高くなる。電子源 10' では、表面電極 7 とオーミック電極 2 との間に印加される直流電圧 V_p が $10 \sim 20 \text{ V}$ 程度の低電圧であっても、電子を放出させることができる。

電子源 10' では、電子放出特性の真空度依存性が小さく、かつ電子放出時にポッピング現象が発生せず、安定して電子を高い電子放出効率で放出することができる。

図 4 5 に示すように、ドリフト層 6 は、少なくとも、導電性基板である n 形シリコン基板 1 の主表面側に配列された柱状の多結晶シリコンからなるグレイン (半導体結晶) 51 と、グレイン 51 の表面に形成された薄いシリコン酸化膜 52 と、グレイン 51 間に介在するナノメータオーダーのシリコン微結晶 63 と、シリコン微結晶 63 の表面に形成され該シリコン微結晶 63 の結晶粒径よりも小さな膜厚を備えた絶縁膜であるシリコン酸化膜 64 とを含んでいる。すなわち、ドリフト層 6 内では、各グレイン 51 の表面は多孔質化され、各グレイン 51 の中心部分では結晶状態が維持されている。したがって、ドリフト層 6 に印加された

電界は、ほとんどシリコン酸化膜 6 4 にかかる。このため、注入された電子は、シリコン酸化膜 6 4 にかかっている強電界により加速され、グレイン 5 1 間を表面に向かって矢印 A で示す方向にドリフトする。これにより、電子放出効率を向上させることができる。ドリフト層 6 の表面に到達した電子はホットエレクトロンであり、表面電極 7 を容易にトンネルして真空中に放出される。なお、表面電極 7 の膜厚は 10 ～ 15 nm 程度に設定される。

ところで、導電性基板として、n 形シリコン基板 1 などの半導体基板の代わりに、ガラス基板などの絶縁性基板上に導電性層（例えば、金属薄膜）よりなる下部電極を形成したものを用いれば、電子源のさらなる大面積化及び低コスト化が可能となる。

図 4 6 に、ガラス基板よりなる絶縁性基板 1 1 と、該絶縁性基板 1 1 の主表面上に形成された下部電極 8 とで構成される導電性基板を用いた電子源 1 0'' を示す。図 4 6 に示すように、電子源 1 0'' においては、絶縁性基板 1 1 の主表面上に導電性層からなる下部電極 8 が形成されている。下部電極 8 上にはドリフト層 6 が形成されている。ドリフト層 6 上には、金属薄膜からなる表面電極 7 が形成されている。ドリフト層 6 は、下部電極 8 上にノンドープの多結晶シリコン層を堆積させた後、該多結晶シリコン層を陽極酸化処理により多孔質化し、さらに例えば 900℃ で急速加熱法によって酸化又は窒化することにより形成される。

図 4 7 に示すように、電子源 1 0'（図 4 4 参照）の場合とほぼ同様に、電子源 1 0'' は、表面電極 7 が真空中に露出するように配置され、表面電極 7 に対向するようにコレクタ電極 1 2 が配置される。そして、電子源 1 0' の場合とほぼ同様に、直流電圧 V_{ps} 、 V_c が印加され、下部電極 8 からドリフト層 6 に注入された電子が、該ドリフト層 6 をドリフトし、表面電極 7 を通して放出される。この電子源 1 0'' でも、表面電極 7 と下部電極 8 との間に印加される直流電圧 V_{ps} が 10 ～ 20 V 程度の低電圧であっても、電子を放出させることができる。

図 4 8 に示すように、電子源 1 0'' は、ディスプレイ用電子源として応用することができる。図 4 8 に示すディスプレイにおいては、電子源 1 0'' に対向するようにガラス基板 1 4 が配設されている。ガラス基板 1 4 の、電子源 1 0'' との対向面には、コレクタ電極 1 2 及び蛍光体層 1 5 が設けられている。蛍光体層 1

5は、コレクタ電極12の表面に塗布されたものであり、電子源10”から放射される電子により可視光を発する。ガラス基板14は、図示されていないスペーサによって電子源10”と離間させられている。ガラス基板14と電子源10”との間に形成された気密空間は、真空状態とされている。

5 図48に示すディスプレイに用いられている電子源10”は、ガラス基板からなる絶縁性基板11と、絶縁性基板11の主表面上に配列された複数の下部電極8と、下部電極8にそれぞれ重なるように形成された複数の酸化された多孔質多結晶シリコン層からなるドリフト部6aと該ドリフト部6aの間を埋める多結晶シリコン層よりなる分離部6bとを有するドリフト層6と、ドリフト層6の上で
10 ドリフト部6a及び分離部6bに跨って下部電極8と交差する方向に配列された複数の表面電極7とを備えている。

電子源10”においては、複数の下部電極8と複数の表面電極7との間にドリフト層6のドリフト部6aが挟まれている。このため、表面電極7と下部電極8との組を適宜選択し、選択した組間に電圧を印加することにより、選択された表面電極7と下部電極8との交点に対応する部位のドリフト部6aに強電界が作用し、電子が放出される。つまり、表面電極7と下部電極8とからなる格子の格子
15 点にそれぞれ電子源を配置したのと同様に、電圧を印加する表面電極7と下部電極8との組を選択することにより、所望の格子点から電子を放出させることができる。表面電極7と下部電極8との間に印加される電圧は10～20V程度である。
20

図48に示すディスプレイで用いられている電子源10”では、ノンドープの多結晶シリコン層は下部電極8に達する深さまで多孔質化されている。

しかし、図49に示すように、多結晶シリコン層は、下部電極8に到達しない深さまで多孔質化されるだけでもよい。この場合、下部電極8とドリフト部6aとの間にノンドープの多結晶シリコン層3が介在する。
25

図48に示すディスプレイで用いられている電子源10”は、表面電極7と下部電極8とがドリフト層6を挟むようにしてマトリクス型に対向する、いわゆる単純マトリクス構造を有している。

図50に示すように、ドリフト部6aを抵抗Rと仮定する。この場合、複数の

表面電極 7 のうち選択されたものを H レベルとし非選択のものを L レベルとする一方、複数の下部電極 8 のうち選択されたものを L レベルとし非選択のものを H レベルとすれば、図 50 中に一点鎖線で示すように、(H レベルの表面電極 7) — (抵抗 R) — (L レベルの下部電極 8) の経路で、電流 I_1 が流れる。ただし、
5 このようにドリフト部 6 a が抵抗 R で構成された電子源では、H レベルの下部電極 8 から L レベルの表面電極 7 に向かって逆方向にリーク電流が流れる経路が多数存在する。このため、選択されていない格子点にも電流が流れ、消費電力が大きくなる。

しかし、図 48 に示す単純マトリクス構造の電子源 10'' におけるドリフト部
10 6 a は抵抗ではない。また、この電子源 10'' では、表面電極 7 とドリフト部 6 a と下部電極 8 とが重なった部分が個々の電子源となる。ここで、個々の電子源において表面電極 7 から下部電極 8 へ電流が流れる方向を順方向とすれば、個々の電子源の表面電極 7 と下部電極 8 との間の電流・電圧特性は非線形となる。このため、ドリフト部 6 a を抵抗 R と仮定した場合よりもリーク電流は小さくなる。
15 しかし、電子源 10'' の大面積化を図る際に、リーク電流のトータルの電流量が無視できなくなる。このため、低消費電力化及び電子放出効率の高効率化が妨げられるといった問題がある。

図 51 に示すように、表面電極 7 と下部電極 8 との間に、表面電極 7 側をアノードとし、下部電極 8 側をカソードとするダイオード D が形成されていれば、上
20 記リーク電流が流れるのを防止することができる。しかし、図 48 に示す電子源 10'' において、個々の電子源の表面電極 7 と下部電極 8 との間にはダイオード D は形成されていない。このため、図 51 中に二点鎖線で示すように、H レベルの下部電極 8 から L レベルの表面電極 7 にリーク電流が流れ、低消費電力化及び電子放出効率の高効率化が妨げられるといった問題がある。

25 図 56 は、かかる従来の電子源において、順方向電圧及び逆方向電圧を印加した場合における電圧と電流との関係を示すグラフである。図 56 に示すように、この従来の電子源でも、順方向電流、逆方向電流で、若干の整流性が得られている。しかし、この程度の整流性では、リーク電流を十分に抑えることは困難である。

このような問題を解決するため、図 5 2 に示すように電子源を構成するといった対応が考えられる。すなわち、ノンドープの多結晶シリコン層 3 の表面側にドリフト部 6 a と離間して n 形多結晶シリコン領域 3 1 を形成する。そして、n 形多結晶シリコン領域 3 1 内の表面側に p 形多結晶シリコン領域 3 2 を形成する。

5 表面電極 7 は、ドリフト部 6 a と n 形多結晶シリコン領域 3 1 の一部とに跨がるように設ける。さらに、p 形多結晶シリコン領域 3 2 上に擬似表面電極 1 7 を設け、これにより擬似表面電極 1 7 と下部電極 8 との間の電流・電圧特性に整流特性を持たせる。

しかし、図 5 2 に示す電子源では、n 形多結晶シリコン領域 4 1 及び p 形多結晶シリコン領域 4 2 をドリフト部 6 a と離間して設け、かつ表面電極 7 と離間して擬似表面電極 1 7 を設ける必要がある。このため、単純マトリクス構造を採用する場合、単位面積当たりの電子放出面積が小さくなるといった問題がある。

また、図 4 8 に示すドリフト部 6 a がパターンニングされた電子源 1 0'' では、ドリフト部 6 a の、分離部 6 b との境界近傍部の電界強度がドリフト部 6 a の中央部の電界強度に比べて大きくなり、これにより上記境界近傍部での単位面積当たりの放出電子量が、ドリフト部 6 a の中央部での単位面積当たりの放出電子量よりも多くなる。このため、上記境界近傍部を通して電子が過剰に放出されるといった問題がある。

さらに、上記境界近傍部の電界強度が大きいので、該境界近傍部でドリフト部 6 a の絶縁破壊が生じて（ドリフト部 6 a が劣化し）、下部電極 8 と表面電極 7 との間に局所的に過大な電流が流れることがある。この場合、過大な電流が流れることにより、ドリフト部 6 a、導電性薄膜よりなる表面電極 7、あるいは下部電極 8（導電性層）が局部的に発熱し、表面電極 7 の劣化やドリフト部 6 a の劣化度合の拡大が生じるといった問題がある。なお、上記境界近傍部の電界強度がドリフト部 6 a の中央部の電界強度よりも大きくなるのは、ドリフト部 6 a の厚さ、多孔質度あるいは酸化又は窒化の程度がドリフト部 6 a の中央部と上記境界近傍部とで異なるからである。

図 4 3 又は図 4 6 に示す電子源 1 0'、1 0'' では、電子放出特性の真空度依存性が小さく、かつ電子放出時にポッピング現象が発生せず、電子を高い電子放

出効率で安定して放出することができる。しかし、電子源 10'、10'' では、ダイオード電流 I_{ps} は、図 5 3 中のグラフ P で示すように経時変化し、放出電子電流 I_e はグラフ Q で示すように経時変化する。すなわち、ダイオード電流 I_{ps} が徐々に増加する一方、放出電子電流 I_e が徐々に減少するので、電子放出効率が徐々に低下する。ここで、放出電子電流 I_e の経時的な低下を抑制しよう

5 とすると、消費電力が増加するといった問題が生じる。

このような問題が発生する原因は、以下のとおりであると考えられる。すなわち、電子源 10'、10'' では、多孔質多結晶シリコン層を酸化することによりドリフト層 6 が形成されるので、ドリフト層 6 の全体にわたって均一な膜質及び

10 膜厚の酸化シリコン膜 5 2、6 4（図 4 5 参照）を形成することは難しい。また、ドリフト層 6 において、シリコン微結晶 6 3 が形成された領域における酸化シリコン膜 6 4 の合計膜厚と、グレイン 5 1 が残っている領域の酸化シリコン膜 5 2 の膜厚とを比較すると、酸化シリコン膜 5 2 の方が薄くなりやすい。このため、電子源 10'、10'' に駆動電圧（直流電圧 V_{ps} ）を印加してダイオード電流

15 I_{ps} を流すと、酸化シリコン膜 5 2、酸化シリコン膜 6 4 又は両酸化シリコン膜 5 2、6 4 において膜厚の薄い部分や、欠陥部、不純物が多く含まれる部分などで徐々に絶縁破壊が生じる。そして、絶縁破壊が生じた部分では、酸化シリコン膜 5 2、6 4 の抵抗値が小さくなってダイオード電流 I_{ps} が経時的に増加する。他方、電子放出に寄与する電流が減少して放出電子電流 I_e が経時的に低下

20 する。

このため、電子源 10'、10'' をディスプレイなどに応用した場合、酸化シリコン膜 5 2、6 4 の絶縁破壊に伴って消費電力や発熱量が徐々に増加し、画面の輝度が徐々に暗くなるといった問題がある。

図 4 6 又は図 4 9 に示す電子源 10'' は、図 5 4 に示すディスプレイ用電子源としても応用されることができる。図 5 4 に示す電子源 10'' は、ガラス基板からなる絶縁性基板 1 1 と、絶縁性基板 1 1 の主表面上に配列された複数の導電性層からなる配線 8 a（下部電極 8）と、配線 8 a に重なるように形成された複数の酸化された多孔質多結晶シリコン層からなるドリフト部 6 a と該ドリフト部 6 a の間を埋める多結晶シリコン層からなる分離部 6 b とを有するドリフト層 6 と、

25

各ドリフト部 6 a を介してそれぞれ配線 8 a に対向する複数の表面電極 7 と、ドリフト層 6 の上で配線 8 a と交差する方向に配列された複数の表面電極 7 を各列ごとに共通接続する複数のバス電極 2 5 とを備えている。バス電極 2 5 は、ドリフト部 6 a 及び分離部 6 b に跨って配線 8 a と交差する方向に配列されている。

5 バス電極 2 5 は、電子をトンネルさせる必要がないので、表面電極 7 に比べて膜厚を厚くして低抵抗化を図ることができる。

この電子源 1 0” も、図 4 8 に示す電子源 1 0” とほぼ同様に、電圧を印加するバス電極 2 5 と配線 8 a との組を選択することによって所望の格子点から電子を放出することができる。配線 8 a は短冊状に形成され、その長手方向の両端部上にそれぞれパッド 2 7 が形成されている。バス電極 2 5 は、その長手方向の両端部でそれぞれパッド 2 8 に接続されている。

10

しかし、図 5 4 に示す電子源 1 0” では、バス電極 2 5 と表面電極 7 との間に過電流が流れると、選択した格子点に対応するドリフト部 6 a から過剰に電子が放出されたり、選択した格子点に対応するドリフト部 6 a の絶縁破壊が生じて配線 8 a と表面電極 7 との間に短絡電流が流れたりする。このため、ドリフト部 6 a、表面電極 7 ないしは配線 8 a の温度が高くなって、電子源全体として劣化が進むので、その信頼性が低いといった問題がある。すなわち、選択した格子点に対応するドリフト部 6 a、表面電極 7 ないしは配線 8 a だけでなく、選択されていない格子点に対応するドリフト部 6 a、表面電極 7 ないしは配線 8 a の劣化を引き起こすといった問題がある。また、絶縁破壊が生じたドリフト部 6 a から過剰な電子が放出されるので、ディスプレイに用いられた場合、特定の画素の輝度が異常に高くなり、かつ発光輝度の面内ばらつきが大きくなるといった問題がある。

15

20

図 5 4 に示す電子源 1 0” ないしディスプレイは、電子源 1 0” に対向配置される、ガラス基板からなるフェースプレートを用意している。

25

図 5 5 に示すように、このフェースプレートにおいて電子源 1 0” と対向する面には、電子源 1 0” の各表面電極 7 ごとに画素 3 1 が設けられている。ここで、各画素 3 1 には、3 原色である R、G、B の 3 つの蛍光体セル 3 2 a、3 2 b、3 2 c が塗布形成されている。各画素 3 1 間、あるいは各画素 3 1 内の蛍光体セ

ル 3 2 a、3 2 b、3 2 c 間は、ブラックストライプと呼ばれる黒色パターンからなる分離層 3 3 により分離されている。

図 5 4 に示す電子源 1 0”でも、図 4 8 に示す電子源 1 0”とほぼ同様に、配線 8 a の延長方向において、ドリフト部 6 a の、分離部 6 b との境界近傍部での単位面積当たりの放出電子量が、ドリフト部 6 a の中央部での単位面積当たりの放出電子量よりも多くなり、上記境界近傍部を通して電子が過剰に放出される。このため、画素 3 1 間の間隔を短くしたり画素 3 1 のサイズ（面積）を小さくすると、各画素 3 1 でにじみが発生し、高精細なディスプレイの実現が難しいといった問題がある。

発明の開示

本発明は、上記従来の問題を解決するためになされたものであって、その 1 つの目的は、従来に比べて単位面積当たりの電子放出面積を小さくすることなく低消費電力化を図ることができる電子源（電界放射型電子源）を提供することである。もう 1 つの目的は、電子の過剰な放出を防止することができる電子源を提供することである。さらにもう 1 つの目的は、電子放出特性の経時安定性に優れた電子源を提供することである。さらなる目的は、高精細なディスプレイの電子源として利用できる、信頼性が高い電子源を提供することである。

本発明にかかる電子源（電界放射型電子源）は、基板と、基板の一表面上に形成された導電性層（下部電極）と、導電性層上に形成された半導体層と、該半導体層の表面側に形成され酸化又は窒化された多孔質半導体層からなるドリフト部を有するドリフト層（強電界ドリフト層）と、ドリフト層上に形成された表面電極とを備えていて、表面電極が導電性層に対して正極となるように電圧を印加することにより、導電性層からドリフト層に注入された電子がドリフト層をドリフトし、表面電極を通して放出されるようになっている電子源において、導電性層と、表面電極と、導電性層とドリフト部との間の部分と、表面電極とドリフト部との間の部分とのうちの少なくとも 1 つに、ドリフト部を流れる電流中の電子放出に寄与しない電流を抑制する電流抑制部材が設けられていることを基本的な特徴とする。

本発明の第1の態様によれば、電流抑制部材は、導電性層から表面電極に電流がリークするのを防止して電力消費量を低減するリーク電流防止部材である。この場合、従来に比べて単位面積当たりの電子放出面積を小さくすることなく、リーク電流が流れるのを阻止することができ、低消費電力化を図ることができる。

5 この電子源において、リーク電流防止部材は、p n接合を有する半導体層であるのが好ましい。この場合、p n接合の整流特性を利用して、リーク電流が流れるのを阻止することができる。

リーク電流防止部材は、導電性層側のn層と表面電極側のp層とを備えた半導体層であってもよい。この場合、n層とp層とを有する半導体層のp n接合の整流特性を利用して、リーク電流が流れるのを阻止することができる。

10 リーク電流防止部材が、導電性層側のn層と表面電極側のp層とを備えた半導体層である場合、p層とドリフト部との間に低濃度半導体層が形成されていてもよい。この場合、n層とp層とを有する半導体層のp n接合の整流特性を利用して、リーク電流が流れるのを阻止することができる。また、低濃度半導体層により、n層とp層とを有する半導体層とドリフト部とを空間的に分離することができ、該半導体層の影響を受けずに、ドリフト部を形成することができる。

15 この電子源において、基板が半導体基板である場合、導電性層は基板側のn層と表面電極側のp層とを備えているのが好ましい。この場合、導電性層を一般的なシリコンプロセスを利用して形成することができ、導電性層のパターン精度を容易に高めることができるので、ディスプレイの高精細化が容易となる。

20 p層とn層との間にi層が設けられていてもよい。この場合、p n接合の整流特性を利用してリーク電流が流れるのを阻止する場合に比べて、高耐圧化を図ることができる。

25 この電子源においては、表面電極が、ドリフト部とショットキ接合する材料で形成されているのが好ましい。この場合、ショットキ接合の整流特性を利用してリーク電流が流れるのを阻止することができる。また、p n接合やp i n接合を別途に設ける必要がないので、電子源の構造が簡素化される。

この電子源において、導電性層とドリフト部との間に低濃度半導体層が設けられている場合は、導電性層が低濃度半導体層とショットキ接合する材料で形成さ

れているのが好ましい。この場合も、ショットキ接合の整流特性を利用してリーク電流が流れるのを阻止することができる。また、pn接合やpin接合を別途に設ける必要がないので、電子源の構造が簡素化される。

5 本発明の第2の態様によれば、ドリフト層に、隣り合うドリフト部同士を分離する分離部が設けられている。そして、電流抑制部材は、ドリフト部の、分離部との境界近傍部の電界強度を、ドリフト部の中央部の電界強度よりも小さくして消費電力を低減する電界緩和部材である。この場合、境界近傍部の電界強度が中央部の電界強度よりも小さくなり、ドリフト部をドリフトする電子は大部分ドリフト部の中央部を通ることになり、電子の過剰な放出を防止することができる。

10 しかも、境界近傍部の電界強度が中央部の電界強度よりも小さくなるので、境界近傍部の絶縁破壊を防止することができ、導電性層と表面電極との間に局所的に過大な電流が流れるのを防止することができる。

この電子源において、電界緩和部材は、境界近傍部に対応する位置において、ドリフト部と表面電極との間に介設された絶縁膜であってもよい。このようにすれば、複数の表面電極と複数の導電性層とが交差する方向に配設されるマトリクス構造を用いる場合、隣り合う表面電極の間を絶縁膜で絶縁することができる。

15

電界緩和部材は、境界近傍部に対応する位置において、導電性層上に配設された絶縁膜であってもよい。このようにすれば、複数の表面電極と複数の導電性層とが交差する方向に配設されるマトリクス構造を用いる場合、クロストークの発生を防止することができる。

20

電界緩和部材は、境界近傍部に対応する位置においてドリフト部と導電性層との間に介設された高抵抗層と、ドリフト部の中央部に対応する位置においてドリフト部と導電性層との間に介設された低抵抗層とで形成されていてもよい。この場合、表面電極及び導電性層について、パターンの制約をなくすることができる。

25 電界緩和部材は、境界近傍部に対応する位置において表面電極に形成された切欠部であってもよい。この場合、表面電極のパターンを変更するだけで、電子の過剰な放出を防止することができる。

電界緩和部材は、境界近傍部に対応する位置において導電性層に形成された切欠部であってもよい。この場合、導電性層のパターンを変更するだけで、電子の

過剰な放出を防止することができる。

本発明の第3の態様によれば、電流抑制部材は、ドリフト層と表面電極との間に配置され、ドリフト層の電界強度を緩和して消費電力を低減する電界緩和層である。この場合、ドリフト層中において絶縁破壊を起こしやすい部分の電界強度を小さくすることができ、該部分における絶縁破壊を防止することができる。このため、電子放出効率などの電子放出特性の経時安定性を向上させることができ、ディスプレイなどに応用した場合に画面の輝度が経時的に暗くなるのを防止することができる。なお、電界緩和層を設けたことによりドリフト層に印加される電界強度が小さくなる。このため、表面電極と導電性基板との間に印加する電圧を、電界緩和層が設けられていない従来の電子源と同じにすると、放出電子電流は電解緩和層を設けていない場合よりも小さくなる。しかし、該電圧を高くすることにより、放出電子電流の大きさを従来と同等の値にすることができる。

この電子源において、電界緩和層は、窒化シリコン膜、又は窒化シリコン膜を含む多層膜であってもよい。この場合、窒化シリコン膜の抵抗率が高いので、電界緩和層の膜厚を薄くすることができる。かつ、ドリフト層をドリフトした電子が窒化シリコン膜中で散乱されにくいので、電界緩和層を設けたことによる電子放出効率の低下を抑制することができる。

電界緩和層は、窒化シリコン膜と、該窒化シリコン膜上に配置された酸化シリコン膜とで形成されていてもよい。この場合、窒化シリコン膜及び酸化シリコン膜の抵抗率が高いので、電界緩和層の膜厚を薄くすることができる。かつ、ドリフト層をドリフトした電子が窒化シリコン膜中で散乱されにくいので、電界緩和層を設けたことによる電子放出効率の低下を抑制することができる。また、表面電極が酸化シリコン膜上に形成されることになるので、表面電極が窒化シリコン膜上に形成されている場合に比べて、表面電極への電子の移動が起こりやすくなり、電子放出効率を高めることができる。

電界緩和層は、酸化シリコン膜と、該酸化シリコン膜上に配置された窒化シリコン膜と、該窒化シリコン膜上に配置されたもう1つの酸化シリコン膜とで形成されていてもよい。この場合、窒化シリコン膜及び各酸化シリコン膜の抵抗率が高いので、電界緩和層の膜厚を薄くすることができる。かつ、ドリフト層をドリ

フトした電子が窒化シリコン膜中で散乱されにくいので、電界緩和層を設けたことによる電子放出効率の低下を抑制することができる。また、表面電極が上記もう1つの酸化シリコン膜上に形成されることになるので、表面電極が窒化シリコン膜上に形成されている場合に比べて、表面電極への電子の移動が起こりやすくなり、電子放出効率を高めることができる。

電界緩和層は、表面電極との密着性が高い材料で形成されているのが好ましい。この場合、表面電極の剥離による経時劣化及び電子放出特性の経時変化を抑制することができる。

密着性が高い材料として、酸化クロム膜を用いてもよい。酸化クロム膜は、電子の透過特性に優れているので、電界緩和層を設けたことによる電子放出効率の低下を抑制することができる。

電界緩和層の抵抗値は、ドリフト層の抵抗値と同じオーダーであるのが好ましい。この場合、表面電極と導電性基板との間に印加する電圧を、電界緩和層を設けない従来のものに比べて、さほど増加させることなく、ドリフト層の電界強度を緩和することができる。

本発明の第4の態様によれば、電子源は、複数の表面電極を共通接続するバス電極を備えている。そして、電流抑制部材は、表面電極とバス電極との間を流れる電流を制限して消費電力を低減する過電流保護要素である。この場合、バス電極と配線との組を適宜選択し、選択した組間に電圧を印加すれば、選択されたバス電極において配線との交点に対応する部位に近接した表面電極下のドリフト部にのみ強電界が作用し、電子が放出される。したがって、ディスプレイの電子源として利用することができる。また、表面電極、ドリフト部あるいは配線に過電流が流れるのを制限することができ、その温度が高くなるのを抑制することができる。このため、劣化範囲が拡大するのを防止することができ、電子源の信頼性を高めることができる。

過電流保護要素は、表面電極とバス電極との間を過電流が流れたときに断線する部材であってもよい。この場合、特定の表面電極に過電流が流れると、その表面電極とバス電極との間が断線する。このため、特定の表面電極に過電流が流れ続けるのを防止することができる。よって、発熱による劣化範囲の拡大が防止さ

れ、電子源の信頼性を高めることができる。

過電流保護要素は、表面電極とバス電極との間に配置された高抵抗層であつてもよい。この場合、表面電極に過電流が流れるのを防止することができる。よつて、発熱による劣化範囲の拡大が防止され、電子源の信頼性を高めることができる。

過電流保護要素は、表面電極とバス電極との間に配置された、抵抗温度係数が正の感温抵抗層であつてもよい。この場合、特定の表面電極に過電流が流れて温度が上昇すると、感温抵抗層の抵抗が上昇して表面電極に流れる電流が制限される。このため、温度が高くなるのを抑制することができ、劣化範囲が拡大するのを防止することができ、電子源の信頼性を高めることができる。

本発明の第5の態様によれば、電流抑制部材は、ドリフト部周部からの電子放出を抑制して消費電力を低減する電子放出抑制部材である。この場合、ドリフト部周部からの電子放出が抑制されるので、電子源をディスプレイに利用した場合、にじみの発生を防止するでき、高精細なディスプレイを実現することができる。

電流抑制部材は、金属層であつてもよい。この場合、金属層の厚みを電子の平均自由工程よりも大きくすれば、ドリフト部周部のうち金属層下の部位を通して電子が放出されるのを防止することができる。

金属層はドリフト部周辺に配置されているのが好ましい。この場合、金属層の厚みを電子の平均自由工程よりも大きくすれば、ドリフト部周部の全周にわたつて電子放出を防止することができ、より高精細なディスプレイを実現することができる。

電子源が、複数の表面電極を共通接続するバス電極を備えている場合、バス電極の一部が上記金属層として共用されることができる。この場合、バス電極の厚みを電子の平均自由工程よりも大きくすれば、バス電極によってドリフト部周部からの電子放出を抑制することができる。このため、電子源をディスプレイに利用した場合、にじみの発生を防止することができ、高精細なディスプレイを実現することができる。

電子源が複数の表面電極を共通接続するバス電極を備えている場合、バス電極は、画素の両側に配置されているのが好ましい。このようにすれば、電子源をデ

ディスプレイに利用した場合、にじみの発生を防止することができ、高精細なディスプレイを実現することができる。

図面の簡単な説明

- 5 本発明は、後記の詳細な説明及び添付の図面により、より十分に理解されるであらう。なお、添付の図面において、共通する構成要素には同一の参照番号が付されている。

図 1 は、本発明の実施の形態 1 にかかる電子源（電界放射型電子源）の、一部が破断された概略斜視図である。

- 10 図 2 A～2 E は、本発明の実施の形態 1 にかかる電子源又はその製造途上における中間体の概略断面図であり、該電子源の製造方法を示している。

図 3 A～3 G は、本発明の実施の形態 2 にかかる電子源又はその製造途上における中間体の概略断面図であり、該電子源の製造方法を示している。

図 4 は、本発明の実施の形態 3 にかかる電子源の概略断面図である。

- 15 図 5 は、本発明の実施の形態 4 にかかる電子源の概略断面図である。

図 6 は、本発明の実施の形態 5 にかかる電子源の概略断面図である。

図 7 は、本発明の実施の形態 6 又は 7 にかかる電子源の概略断面図である。

図 8 は、本発明の実施の形態 8 にかかる電子源の概略断面図である。

図 9 は、本発明の実施の形態 9 にかかる電子源の概略断面図である。

- 20 図 1 0 は、本発明の実施の形態 1 0 にかかる電子源の概略断面図である。

図 1 1 は、本発明の実施の形態 1 1 にかかる電子源の概略断面図である。

図 1 2 は、本発明の実施の形態 1 2 にかかる電子源の概略断面図である。

図 1 3 は、本発明の実施の形態 1 3 にかかる電子源の、一部が破断された概略斜視図である。

- 25 図 1 4 は、本発明の実施の形態 1 4 にかかる電子源の、一部が破断された概略斜視図である。

図 1 5 は、本発明の実施の形態 1 5 にかかる電子源の、一部が破断された概略斜視図である。

図 1 6 A は、本発明の実施の形態 1 6 にかかる電子源の概略断面図である。図

16Bは、図16Aに示す電子源の要部を拡大して示す概略断面図である。

図17A～17Dは、本発明の実施の形態16にかかる電子源又はその製造途上における中間体の概略断面図であり、該電子源の製造方法を示している。

図18は、本発明の実施の形態16にかかる電子源における電子放出機構の原理を説明する図である。

図19は、本発明の実施の形態16にかかる電子源を用いたディスプレイの斜視図である。

図20は、本発明の実施の形態17にかかる電子源の要部の概略断面図である。

図21は、本発明の実施の形態18にかかる電子源の要部の概略断面図である。

図22A～22Dは、本発明の実施の形態19にかかる電子源又はその製造途上における中間体の概略断面図であり、該電子源の製造方法を示している。

図23は、本発明の実施の形態20にかかる電子源の概略斜視図である。

図24は、本発明の実施の形態20にかかる電子源の要部の概略平面図である。

図25は、本発明の実施の形態20にかかる電子源の要部の概略平面図である。

図26は、本発明の実施の形態21にかかる電子源の概略斜視図である。

図27は、本発明の実施の形態21にかかる電子源の要部の概略平面図である。

図28は、本発明の実施の形態22にかかる電子源の概略斜視図である。

図29は、本発明の実施の形態22にかかる電子源の要部の概略平面図である。

図30は、本発明の実施の形態22にかかる電子源の要部の概略断面図である。

図31は、本発明の実施の形態22にかかる電子源における、温度と抵抗値との関係を示すグラフである。

図32は、本発明の実施の形態23にかかる電子源の概略斜視図である。

図33は、本発明の実施の形態23にかかる電子源の要部の概略平面図である。

図34は、本発明の実施の形態23にかかる電子源の要部の概略断面図である。

図35は、本発明の実施の形態24にかかる電子源の概略斜視図である。

図36は、本発明の実施の形態24にかかる電子源の要部の概略平面図である。

図37は、本発明の実施の形態25にかかる電子源の概略斜視図である。

図38は、本発明の実施の形態25にかかる電子源の要部の概略平面図である。

図39は、本発明の実施の形態26にかかる電子源の概略斜視図である。

図 4 0 は、本発明の実施の形態 2 6 にかかる電子源の要部の概略平面図である。

図 4 1 は、本発明の実施の形態 2 7 にかかる電子源の概略斜視図である。

図 4 2 は、本発明の実施の形態 2 7 にかかる電子源の要部の概略平面図である。

図 4 3 は、従来の電子源の概略断面図である。

5 図 4 4 は、図 4 3 に示す従来の電子源における電子放出機構の原理を説明する図である。

図 4 5 は、従来の電子源の要部を拡大して示す概略断面図であり、該電子源の電子放出動作を示している。

図 4 6 は、もう 1 つの従来の電子源の概略断面図である。

10 図 4 7 は、図 4 6 に示す従来の電子源における電子放出機構の原理を説明する図である。

図 4 8 は、図 4 6 に示す従来の電子源を用いたディスプレイの斜視図である。

図 4 9 は、さらにもう 1 つの従来の電子源の概略断面図である。

15 図 5 0 は、単純マトリクス構造を採用したディスプレイの動作を説明する模式的な回路図である。

図 5 1 は、単純マトリクス構造を採用したもう 1 つのディスプレイの動作を説明する模式的な回路図である。

図 5 2 は、さらなる従来の電子源の概略断面図である。

20 図 5 3 は、従来の電子源におけるダイオード電流及び放出電子電流の経時変化を示すグラフである。

図 5 4 は、さらなる従来の電子源の概略斜視図である。

図 5 5 は、電子源を用いたディスプレイのフェースプレートに設けられた画素の模式図である。

25 図 5 6 は、従来の電子源において、順方向電圧及び逆方向電圧を印加した場合における電圧と電流との関係を示すグラフである。

発明を実施するための最良の形態

本願は、日本で出願された特願 2000-344301 号、特願 2000-326274 号、特願 2000-326276 号、特願 2001-145527 号

及び特願 2001-145528 号に基づくものであり、その内容はここに全面的に組み込まれている。

以下、本発明のいくつかの実施の形態を具体的に説明する。ただし、各実施の形態に共通する部材、すなわち構成及び機能が実質的に同一である部材には共通の参照番号を付し、重複する説明は省略する。

(実施の形態 1)

まず、本発明の実施の形態 1 を説明する。

図 1 に示すように、実施形態 1 にかかる電子源 10 (電界放射型電子源) は、ガラス基板からなる絶縁性基板 11 と、絶縁性基板 11 の主表面上に配列された複数の下部電極 8 と、下部電極 8 にそれぞれ重なるように形成された半導体層 20 と、平面視で下部電極 8 にそれぞれ重なるようにして半導体層 20 上に形成されたノンドープの多結晶シリコン層 3 (図 2 E 参照) と、平面視で下部電極 8 にそれぞれ重なるようにして多結晶シリコン層 3 上に形成された複数の酸化された多孔質多結晶シリコン層からなるドリフト部 6a と該ドリフト部 6a の間を埋める多結晶シリコン層からなる分離部 6b とを有するドリフト層 6 (強電界ドリフト層) と、ドリフト層 6 の上でドリフト部 6a 及び分離部 6b に跨って下部電極 8 と交差 (直交) する方向に配列された複数の表面電極 7 とを備えている。

下部電極 8 は、アルミニウム薄膜からなる導電性層で形成されている。表面電極 7 は、金属薄膜 (例えば、金薄膜) からなる導電性薄膜で形成されている。表面電極 7 の膜厚は、15 nm に設定されているが、膜厚はこれに限定されるものではない。ドリフト層 6 の厚さは 1.5 μ m に設定されているが、この厚さもこれに限定されるものではない。絶縁性基板 11 は基板を構成している。

この電子源 10 は、図 4 8 に示す従来の電子源 10' と同様の単純マトリクス構造を有しているものの、半導体層 20 が下部電極 8 から表面電極 7 にリーク電流が流れるのを阻止する p n 接合を備えている点で相違する。すなわち、図 2 E に示すように、半導体層 20 は、下部電極 8 上に形成された n 層 21 と該 n 層 21 上に形成された p 層 22 とを備えており、これにより p n 接合が形成されている。半導体層 20 は、表面電極 7 と下部電極 8 との間において、ドリフト層 6 に加えて設けられている。かくして、半導体層 20 は、下部電極 8 から表面電極 7

にリーク電流が流れるのを防止するリーク電流防止部材（逆流阻止手段）を構成している。また、半導体層 20 とドリフト部 6 a との間に設けられたノンドープの多結晶シリコン層 3 は、低濃度半導体層を構成している。このように、p 層 22 とドリフト部 6 a との間に低濃度の半導体層であるノンドープの多結晶シリコン層 3 が形成されているので、半導体層 20 とドリフト部 6 a とが空間的に分離されている。このため、半導体層 20 の影響を受けずにドリフト部 6 a を形成することができる。

この電子源 10 では、図 48 に示す従来の電子源 10”と同様に、複数の下部電極 8 と複数の表面電極 7 との間にドリフト層 6 のドリフト部 6 a が挟まれている。このため、表面電極 7 と下部電極 8 との組を適宜選択し、選択した組間に電圧を印加すれば、選択された表面電極 7 と下部電極 8 との交点に対応する部位のドリフト部 6 a に強電界が作用し、電子が放出される。つまり、表面電極 7 と下部電極 8 とからなる格子の格子点にそれぞれ電子源を配置したのと同様に、電圧を印加する表面電極 7 と下部電極 8 との組を選択することにより、所望の格子点から電子を放出させることができる。表面電極 7 と下部電極 8 との間に印加する電圧は、10～20 V 程度である。各表面電極 7 は短冊状に形成され、その長手方向の両端部上にそれぞれパッド 27 が形成されている。各下部電極 8 も短冊状に形成され、その長手方向の両端部上にそれぞれパッド 28 が形成されている。

この電子源 10 のドリフト部 6 a は、図 45 に示すドリフト層 6 と同様に、少なくとも、絶縁性基板 11 の一表面側に配列された柱状の多結晶シリコンからなるグレイン（半導体結晶）51 と、グレイン 51 の表面に形成された薄いシリコン酸化膜 52 と、グレイン 51 間に介在するナノメータオーダの半導体微結晶であるシリコン微結晶 63 と、シリコン微結晶 63 の表面に形成され、該シリコン微結晶 63 の結晶粒径よりも小さな膜厚の絶縁膜であるシリコン酸化膜 64 とを含んでいる。

かくして、この電子源 10 では、表面電極 7 と下部電極 8 との間に、ドリフト層 6 に加えて下部電極 8 から表面電極 7 にリーク電流が流れるのを防止するリーク電流防止部材が設けられているので、従来に比べて単位面積当たりの電子放出面積を小さくすることなく、リーク電流が流れるのを阻止することができ、低消

費電力化を図ることができる。ここで、リーク電流防止部材は、ドリフト部 6 a と下部電極 8 との間に設けられた p n 接合を有する半導体層 20 からなる。このため、ドリフト部 6 a と下部電極 8 との間に p n 接合を有する半導体層 20 を介在させるだけで、p n 接合の整流特性を利用してリーク電流が流れるのを防止することができる。この電子源 10 において、ドリフト層 6 では、下部電極 8 から注入された電子がシリコン微結晶 63 に衝突せず、シリコン酸化膜 64 に印加されている電界により加速されてドリフトする。その際、ドリフト層 6 で発生した熱は柱状のグレイン 51 を通して放熱される。このため、電子放出時にポッピング現象が発生せず、高効率で電子を放出することができる。

実施の形態 1 では、ドリフト層 6 のドリフト部 6 a は、酸化された多孔質多結晶シリコン層で形成されている。しかし、ドリフト部 6 a は、窒化された多孔質多結晶シリコン層で形成されてもよい。また、多孔質多結晶シリコン層以外の多孔質半導体層が酸化又は窒化されたもので形成されてもよい。ドリフト部 6 a が窒化された多孔質多結晶シリコン層で形成される場合は、図 45 における各シリコン酸化膜 52、64 は、いずれもシリコン窒化膜となる。

電子源 10 では、表面電極 7 を構成する導電性薄膜として金薄膜が用いられているが、表面電極 7 の材料は金に限定されるものではない。例えば、アルミニウム、クロム、タングステン、ニッケル、白金などの仕事関数が小さな材料を用いてもよい。ここで、金の仕事関数は 5.10 eV であり、アルミニウムの仕事関数は 4.28 eV であり、クロムの仕事関数は 4.50 eV であり、タングステンの仕事関数は 4.55 eV であり、ニッケルの仕事関数は 5.15 eV であり、白金の仕事関数は 5.65 eV である。表面電極 7 を、厚み方向に積層された複数層の薄膜電極層からなる導電性薄膜で形成してもよい。この場合、最上層の薄膜電極層には、耐酸化性に優れかつ仕事関数が小さい材料を採用し、最下層の薄膜電極層には、仕事関数が小さくかつドリフト層 6 との密着性が良い材料を採用すればよい。最下層の薄膜電極層の材料は、最上層の薄膜電極層の材料に比べてドリフト層 6 中に拡散しにくい（つまり、ドリフト層 6 の材料中での拡散係数が小さい）性質を有しているのが望ましい。

仕事関数が小さくかつドリフト層 6 との密着性が良い表面電極 7 を採用するこ

とにより、表面電極 7 がドリフト層 6 から剥離するのを防止することができる。
これにより、表面電極 7 の断線を防止することができ、その経時安定性が向上する。
また、製造時の歩留まりが高くなり、低コスト化を図ることができる。

5 最上層の薄膜電極層の材料には例えば金を用い、最下層の薄膜電極層の材料にはクロムを用いればよい。しかし、最下層の薄膜電極層の材料として、クロムの代わりに、ニッケル、白金、チタン、ジルコニウム、ロジウム、ハフニウム、イリジウムのいずれか、あるいはこれらの酸化物を用いてもよい、最下層の薄膜電極層の材料として、クロム、ニッケル、白金、チタン、ジルコニウム、ロジウム、ハフニウム、イリジウムのいずれか、あるいはそれらの酸化物を用いれば、最下層の薄膜電極層の材料コストを比較的安価にすることができる。

この電子源 10 では、下部電極 8 を構成する導電性層としてアルミニウム薄膜を用いている。しかし、下部電極 8 の材料はアルミニウムに限定されるものではなく、アルミニウム以外の導電性材料を用いてもよい。

15 以下、図 2 A ~ 2 E を参照しつつ、実施の形態 1 にかかる電子源 10 の製造方法を説明する。なお、図 2 A ~ 2 E では、要部のみの断面を示している。

まず、絶縁性基板 11 の一表面 (図 2 A における上面) の全面に所定膜厚のアルミニウム薄膜よりなる導電性層をスパッタ法により成膜 (堆積) する。続いて、導電性層上に下部電極 8 のパターンに対応してパターニングされたレジスト層を形成する。次に、レジスト層をマスクとして導電性層の不要部分をエッチングすることにより、絶縁性基板 11 の上記表面上にパターニングされた導電性層からなる下部電極 8 を形成する。この後、レジスト層を除去して、図 2 A に示す構造を備えた中間体を得る。

25 次に、絶縁性基板 11 の上記表面側の全面に、n 形不純物としてリンが添加された n 形多結晶シリコン層よりなる n 層 21 を、例えばプラズマ CVD 法により成膜 (堆積) し、図 2 B に示す構造を備えた中間体を得る。n 層 21 は、プラズマ CVD 法により堆積しているので、600℃以下 (100℃~600℃) の低温プロセスで成膜することができる。また、プラズマ CVD 法による成膜時に n 形不純物をドーピングしているので、容易に n 層 21 を形成することができる。

この後、絶縁性基板 11 の上記表面側の全面に、p 形不純物としてボロンが添

加されたp形多結晶シリコン層よりなるp層22を、例えばプラズマCVD法を用いて成膜することにより、図2Cに示す構造を備えた中間体を得る。なお、p層22は、プラズマCVD法により堆積しているため、600℃以下（100℃～600℃）の低温プロセスで成膜することができる。また、プラズマCVD法による成膜時にp形不純物をドーピングしているため、容易にp層22を形成することができる。

続いて、n層21及びp層22において、下部電極8に重ならない部位を下部電極8に重なる部位と絶縁するために、酸素イオンのイオン注入を行う。この後、絶縁性基板11の上記表面側の全面に所定膜厚（例えば、1.5μm）のノンドープの多結晶シリコン層3を、例えばプラズマCVD法を用いて形成することにより、図2Dに示す構造を備えた中間体を得る。ノンドープの多結晶シリコン層3は、プラズマCVD法により堆積しているため、600℃以下（100℃～600℃）の低温プロセスで成膜することができる。ノンドープの多結晶シリコン層3の形成方法は、プラズマCVD法に限られるものではない。例えば、触媒CVD法により形成してもよい。触媒CVD法でも、600℃以下の低温プロセスで成膜することができる。

ノンドープの多結晶シリコン層3を形成した後、55wt%のフッ化水素水溶液とエタノールとを略1：1で混合した混合液からなる電解液の入った陽極酸化処理槽を用いて、白金電極（図示せず）を負極とし、下部電極8を正極として、多結晶シリコン層3に光照射を行いながら所定の条件で陽極酸化処理を行う。これにより、多結晶シリコン層3のうち、下部電極8に重なる部位に多孔質多結晶シリコン層が形成される。この後、陽極酸化処理槽から電解液を除去し、該陽極酸化処理槽に新たに酸（例えば、略10%の希硝酸、略10%の希硫酸、王水など）を投入する。次に、この酸の入った陽極酸化処理槽を用いて、白金電極（図示せず）を負極とし、下部電極8を正極として、定電流を流して多孔質多結晶シリコン層を酸化する。これにより、下部電極8に重なる部位に、酸化された多孔質多結晶シリコン層からなるドリフト部6aが形成される。続いて、ドリフト層6上に、所定膜厚（例えば、15nm）の金薄膜からなる表面電極7を、例えばメタルマスクを用いて蒸着法によって形成する。この後、図1に示すパッド27、

28を形成することにより、図3Eに示す電子源10を得る。ここで、ドリフト部6a間に介在している多結晶シリコン層3と、酸素イオンが注入された部位とは分離部6bを構成している。

実施の形態1における陽極酸化処理では、陽極酸化処理の期間中、多結晶シリコン層3の表面に照射する光パワーを一定にして、電流密度を一定としているが、この条件は適宜変更してもよい（例えば、電流密度を変化させてもよい）。また、表面電極7となる導電性薄膜を蒸着により形成しているが、導電性薄膜の形成方法は蒸着に限定されるものではなく、例えばスパッタ法を用いてもよい。

上記製造方法によれば、n層21及びp層22は、成膜時に不純物をドーピングすることにより形成するので、n層21及びp層22を容易に形成することができる。さらに、n層21とp層22とを同じ成膜装置（例えば、プラズマCVD装置）により連続して成膜することができる。このため、従来に比べて単位面積当たりの電子放出面積を小さくすることなく、リーク電流が流れるのを防止することができ、低消費電力化を図ることができる電子源10を容易に製造することができる。また、半導体層20や低濃度の半導体層が多結晶シリコンからなるので、一般的なシリコンプロセスや液晶ディスプレイ装置の製造プロセスを利用することができ、低コスト化を図ることができる。

（実施形態2）

以下、本発明の実施の形態2を説明する。ただし、実施の形態2にかかる電子源は実施の形態1にかかる電子源10と同一構成であり、その製造方法が異なるだけである。そこで、以下では、図3A～3G図を参照しつつ、この電子源の製造方法のみを説明する。なお、図3A～3G図では、要部のみの断面を示している。

まず、絶縁性基板11の一表面（図3Aにおける上面）の全面に所定膜厚のアルミニウム薄膜よりなる導電性層をスパッタ法により成膜（堆積）する。続いて、導電性層上に下部電極8のパターンに対応してパターニングされたレジスト層を形成する。次に、レジスト層をマスクとして導電性層の不要部分をエッチングすることにより、絶縁性基板11の上記表面上にパターニングされた導電性層よりなる下部電極8を形成する。この後、レジスト層を除去することにより、図3A

に示す構造を備えた中間体を得る。

次に、絶縁性基板 11 の上記表面側の全面にノンドープの多結晶シリコン層 24 を、例えばプラズマ CVD 法を用いて成膜することにより、図 3 B に示す構造を備えた中間体を得る。ノンドープの多結晶シリコン層 24 は、プラズマ CVD 法により堆積しているため、600℃以下（100℃～600℃）の低温プロセスで成膜することができる。

さらに、ノンドープの多結晶シリコン層 24 のうち下部電極 8 に重なる部位に、イオン注入法又は不純物拡散法により n 形不純物（例えば、リン）をドーピングして n 層 21 を形成し、図 3 C に示す構造を備えた中間体を得る。続いて、絶縁性基板 11 の上記表面側の全面にノンドープの多結晶シリコン層 25 を、例えばプラズマ CVD 法を用いて成膜することにより、図 3 D に示す構造を備えた中間体を得る。ノンドープの多結晶シリコン層 25 は、プラズマ CVD 法により堆積しているため、600℃以下（100℃～600℃）の低温プロセスで成膜することができる。

この後、ノンドープの多結晶シリコン層 25 のうち下部電極 8 に重なる部位に、イオン注入法又は不純物拡散法により p 形不純物（例えば、ボロン）をドーピングして p 層 22 を形成し、図 3 E に示す構造を備えた中間体を得る。

続いて、絶縁性基板 11 の上記表面側の全面に所定膜厚（例えば、1.5 μm）のノンドープの多結晶シリコン層 3 を、例えばプラズマ CVD 法を用いて形成することにより、図 3 F に示す構造を備えた中間体を得る。ノンドープの多結晶シリコン層 3 は、プラズマ CVD 法により堆積しているため、600℃以下（100℃～600℃）の低温プロセスで成膜することができる。ノンドープの多結晶シリコン層 3 の形成方法は、プラズマ CVD 法に限られない。例えば、触媒 CVD 法により形成してもよい。触媒 CVD 法でも、600℃以下の低温プロセスで成膜することができる。

ノンドープの多結晶シリコン層 3 を形成した後、55 wt % のフッ化水素水溶液とエタノールとを略 1 : 1 で混合した混合液からなる電解液の入った陽極酸化処理槽を用い、白金電極（図示せず）を負極とし、下部電極 8 を正極として、多結晶シリコン層 3 に光照射を行いながら所定の条件で陽極酸化処理を行う。これ

により、多結晶シリコン層 3 のうち下部電極 8 に重なる部位に多孔質多結晶シリコン層が形成される。続いて、陽極酸化処理槽から電解液を除去し、該陽極酸化処理槽に新たに酸（例えば、略 10 % の希硝酸、略 10 % の希硫酸、王水など）を投入する。次に、この酸の入った陽極酸化処理槽を用いて、白金電極（図示せず）を負極とし、下部電極 8 を正極として、定電流を流して多孔質多結晶シリコン層を酸化する。これにより、下部電極 8 に重なる部位に、酸化された多孔質多結晶シリコン層よりなるドリフト部 6 a が形成される。続いて、ドリフト層 6 上に所定膜厚（例えば、15 nm）の金薄膜からなる表面電極 7 を、例えばメタルマスクを用いて蒸着法によって形成する。次に、図 1 に示すパッド 27、28 を形成することにより、図 3 G に示す電子源 10 を得る。ここで、ドリフト部 6 a 間に介在している多結晶シリコン層 3 と、n 層 21 間に介在しているノンドープの多結晶シリコン層 24 と、p 層 22 の間に介在しているノンドープの多結晶シリコン層 25 とは、分離部 6 b を構成している。

かくして、実施の形態 2 では、n 層 21 及び p 層 22 を、それぞれ、ノンドープの半導体層である多結晶シリコン層 24、25 を成膜した後にイオン注入法又は不純物拡散法により不純物をドーピングして形成しているので、成膜装置に依存せずに、n 層 21 及び p 層 22 の不純物濃度を制御性良く制御することができる。

（実施の形態 3）

以下、本発明の実施の形態 3 を説明する。実施の形態 3 にかかる電子源の基本構成は、図 1 に示す実施の形態 1 にかかる電子源 10 とほぼ同一であるが、図 4 に示すように、p 層 22 上にドリフト部 6 a が形成されている点が相違する。実施の形態 3 では、p 層 22 と n 層 21 とからなる半導体層は、下部電極 8 から表面電極 7 にリーク電流が流れるのを防止するリーク電流防止部材（逆流阻止手段）を構成している。

かくして、実施の形態 3 では、実施の形態 1 と同様に、表面電極 7 と下部電極 8 との間に、ドリフト層 6 に加えて、下部電極 8 から表面電極 7 にリーク電流が流れるのを阻止するリーク電流防止部材が設けられているので、従来に比べて単位面積当たりの電子放出面積を小さくすることなく、リーク電流が流れるのを防

止することができ、低消費電力化を図ることができる。しかも、リーク電流防止部材を構成する半導体層とドリフト部 6 a との間に、実施の形態 1 におけるノンドーパの多結晶シリコン層 3 が設けられていないので、実施の形態 1 に比べて構造が簡素化される。

- 5 なお、実施の形態 3 にかかる電子源 10 の製造方法は、実施の形態 1 又は実施の形態 2 にかかる製造方法と比べて、多結晶シリコン層 3 において、下部電極 8 に重なる部位の全部を陽極酸化処理によって多孔質化する点が相違するだけである。

(実施の形態 4)

- 10 以下、本発明の実施の形態 4 を説明する。実施の形態 4 にかかる電子源の基本構成は、図 1 に示す実施の形態 1 にかかる電子源 10 とほぼ同一であるが、図 5 に示すように、基板として半導体基板であるシリコン基板 1 を用い、図 1 に示す実施の形態 1 における下部電極 8 を、比較的高濃度の n 形シリコン領域からなる n 層 2 1 と比較的高濃度の p 形シリコン領域からなる p 層 2 2 とで構成している
15 点が相違する。実施の形態 4 では、p 層 2 2 と n 層 2 1 とからなる下部電極が、下部電極から表面電極 7 にリーク電流が流れるのを防止するリーク電流防止部材を構成している。

- かくして、実施の形態 4 では、実施の形態 1 と同様に、表面電極 7 と下部電極との間に、ドリフト層 6 に加えて、下部電極から表面電極 7 にリーク電流が流れるのを防止するリーク電流防止部材が設けられているので、従来に比べて単位面積当たりの電子放出面積を小さくすることなく、リーク電流が流れるのを防止することができ、低消費電力化を図ることができる。
- 20

- 実施の形態 4 にかかる電子源 10 は、基板としてシリコン基板 1 を用いているので、下部電極となる n 層 2 1 及び p 層 2 2 を、イオン注入法や不純物拡散法などの一般的なシリコンプロセスを利用して形成することができる。このため、下部電極のパターン精度を高めることができ、しかも下部電極の形成に伴って基板の上記表面側に段差が形成されることもない。よって、表面電極 7 の断線を防止することができ、かつディスプレイの高精細化が容易となる。
- 25

(実施の形態 5)

以下、本発明の実施の形態 5 を説明する。実施の形態 5 にかかる電子源の基本構成は、図 1 に示す実施の形態 1 にかかる電子源 10 とほぼ同一であるが、図 6 に示すように、p 層 22 と n 層 21 との間に、低濃度の多結晶シリコン層よりなる i 層 23 を介在させている点が相違する。すなわち、実施の形態 5 では、p 層 22 と i 層 23 と n 層 21 とからなる半導体層が、下部電極 8 から表面電極 7 にリーク電流が流れるのを防止するリーク電流防止部材を構成している。

かくして、実施の形態 5 では、実施の形態 1 と同様に、表面電極 7 と下部電極 8 との間に、ドリフト層 6 に加えて、下部電極 8 から表面電極 7 にリーク電流が流れるのを防止するリーク電流防止部材が設けられているので、従来に比べて単位面積当たりの電子放出面積を小さくすることなく、リーク電流が流れるのを防止することができ、低消費電力化を図ることができる。しかも、リーク電流防止部材を構成する半導体層が p i n 接合を有するので、p n 接合を有する実施の形態 1 に比べてリーク電流防止部材の耐圧を高めることができる。なお、他の実施の形態において、p 層 22 と n 層 21 との間に i 層 23 を設けてもよい。

実施の形態 5 にかかる電子源 10 の製造方法は、実施の形態 1 又は実施の形態 2 の場合とほぼ同一あり、i 層 23 を形成する工程が追加されるだけであるので、その詳しい説明は省略する。

(実施の形態 6)

以下、本発明の実施の形態 6 を説明する。実施の形態 6 にかかる電子源の基本構成は、図 1 に示す実施の形態 1 にかかる電子源 10 とほぼ同一である。ただし、図 7 に示すように、実施の形態 1 における半導体層 20 を設ける代わりに、表面電極 7 の材料として、ドリフト部 6 a との間にショットキ接合を形成する材料を用い、下部電極 8 から表面電極 7 にリーク電流が流れるのを防止するリーク電流防止部材が、表面電極 7 とドリフト部 6 a とで構成されている点が相違する。ここで、表面電極 7 の材料としては、Cu、Pd、Ag、Al、Ti、Mn、Pb、Bi、Ni、Cr、Fe、Mg、Pt、Be、Sn、Ba、In、Co、Sb、IrSi、PtSi、Pt₂Si、MnSi、Pb₂Si、Co₂Si、NiSi、Ni₂Si、WSi などを用いればよい。

かくして、実施の形態 6 では、表面電極 7 と下部電極 8 との間に、ドリフト層

6に加えて、下部電極8から表面電極7にリーク電流が流れるのを防止するリーク電流防止部材が設けられているので、従来に比べて単位面積当たりの電子放出面積を小さくすることなく、リーク電流が流れるのを防止することができ、低消費電力化を図ることができる。しかも、表面電極7とドリフト部6aとのショットキ接合の整流特性を利用してリーク電流が流れるのを防止することができるので、pn接合やpin接合を別途に設ける必要がなく、実施の形態1～5に比べて、構造が簡素化される。

(実施の形態7)

以下、本発明の実施の形態7を説明する。実施の形態7にかかる電子源10の基本構成は、図7に示す実施の形態6にかかる電子源10とほぼ同一である。ただし、下部電極8の材料として、低濃度の半導体層たるノンドープの多結晶シリコン層3との間にショットキ接合を形成する材料を用い、下部電極8から表面電極7にリーク電流が流れるのを防止するリーク電流防止部材が、下部電極8とノンドープの多結晶シリコン層3とで構成されている点が相違する。ここで、下部電極8の材料としては、Cu、Pd、Ag、Al、Ti、Mn、Pb、Bi、Ni、Cr、Fe、Mg、Pt、Be、Sn、Ba、In、Co、Sb、IrSi、PtSi、Pt₂Si、MnSi、Pb₂Si、Co₂Si、NiSi、Ni₂Si、WSiなどを用いればよい。

かくして、実施の形態7では、表面電極7と下部電極8との間に、ドリフト層6に加えて、下部電極8から表面電極7にリーク電流が流れるのを防止するリーク電流防止部材が設けられているので、従来に比べて単位面積当たりの電子放出面積を小さくすることなく、リーク電流が流れるのを阻止することができ、低消費電力化を図ることができる。しかも、下部電極8とノンドープの多結晶シリコン層3とのショットキ接合の整流特性を利用してリーク電流が流れるのを防止することができるので、pn接合やpin接合を別途に設ける必要がなく、実施の形態1～5に比べて、構造が簡素化される。

(実施の形態8)

以下、本発明の実施の形態8を説明する。実施の形態8にかかる電子源10の基本構成は、図46に示す従来の電子源10”とほぼ同一である。ただし、次の

点が相違する。

すなわち、図 8 に示すように、絶縁性基板 11 の一表面上に金属薄膜（例えば、タンゲステン薄膜）からなる導電性層 8（下部電極）が形成され、導電性層 8 上に、酸化された多孔質多結晶シリコン層からなるドリフト部 6 a と該ドリフト部 6 a の周囲に形成された多結晶シリコン層からなる分離部 6 b とを有するドリフト層 6 が形成されている。ドリフト層 6 上には、金属薄膜（例えば、金薄膜）からなる表面電極 7 が形成されている。ここで、ドリフト層 6 は、導電性層 8 が形成された絶縁性基板 11 の上記表面側の全面にノンドープの多結晶シリコン層を堆積させた後、該多結晶シリコン層のうちドリフト部 6 a に対応する部位を陽極酸化処理により多孔質化して多孔質多結晶シリコン層を形成し、多孔質多結晶シリコン層を、例えば急速加熱法を用いて酸化することにより形成される。導電性層 8 の厚さは 200 nm に設定され、ドリフト層 6 の厚さは 1.5 μ m に設定され、ドリフト部 6 a の厚さは 1.0 μ m に設定され、表面電極 7 の膜厚は 15 nm に設定されている。しかし、これらの数値はそれぞれ一例であって、これらに限定されるものではない。実施の形態 8 では、絶縁性基板 11 が基板を構成している。

実施の形態 8 にかかる電子源 10 のドリフト層 6 では、ドリフト部 6 a の形成にあたって、ノンドープの多結晶シリコン層を表面から深さ方向に多孔質化し、導電性層 8 に達しないように途中で多孔質化を停止している。このため、多結晶シリコン層の一部からなる半導体層 3 がドリフト部 6 a と導電性層 8 との間に介在している。しかし、ノンドープの多結晶シリコン層を表面から深さ方向において導電性層 8 に達するまで多孔質化し、半導体層 3 を介在させずに導電性層 8 上にドリフト部 6 a を形成してもよい。

実施の形態 8 にかかる電子源 10 の基本動作は、図 46 ないし図 47 に示す従来の電子源 10” の場合とほぼ同一であるので、その詳しい説明は省略する。また、電子源 10 における電子の放出過程も、従来の電子源 10’、10” の場合とほぼ同一であるので（図 45 参照）、その詳しい説明は省略する。

実施の形態 8 では、ドリフト部 6 a は、酸化された多孔質多結晶シリコン層で形成されている。しかし、ドリフト部 6 a を、窒化した多孔質多結晶シリコン層

で形成してもよい。また、多孔質多結晶シリコン層以外の多孔質半導体層を酸化又は窒化したもので形成してもよい。ドリフト部 6 a を窒化した多孔質多結晶シリコン層とした場合、図 4 5 における各シリコン酸化膜 5 2、6 4 はいずれもシリコン窒化膜となる。

5 実施の形態 8 にかかる電子源 1 0 は、ドリフト部 6 a における分離部 6 b との境界近傍部分と表面電極 7 との間に、シリコン酸化膜からなる絶縁膜 1 6 が介在している点に特徴がある。すなわち、ドリフト部 6 a は、その中央部では表面電極 7 が積層されているが、分離部 6 b との境界近傍部では絶縁膜 1 6 が積層されている。ここでは、絶縁膜 1 6 はシリコン酸化膜で形成されている。しかし、絶縁膜 1 6 の材料は、シリコン酸化膜に限られない。例えば、シリコン窒化膜で形成してもよい。

10 かくして、実施の形態 8 にかかる電子源 1 0 では、ドリフト部 6 a の、分離部 6 b との境界近傍部と表面電極 7 との間に絶縁膜 1 6 が介在しているので、上記境界近傍部の電界強度がドリフト部 6 a の中央部の電界強度に比べて十分に小さくなる。このため、ドリフト部 6 a をドリフトする電子の大部分がドリフト部 6 a の中央部を通ることになり、上記境界近傍部を通しての電子の過剰な放出を防止することができる。しかも、上記境界近傍部の電界強度が中央部の電界強度よりも小さくなるので、上記境界近傍部の絶縁破壊を防止することができ、導電性層 8 と表面電極 7 との間に局所的に過大な電流が流れるのを防止することができる。また、実施の形態 8 にかかる電子源 1 0 では、図 4 3 に示す従来の電子源 1 0' と同様に、電子放出特性の真空度依存性が小さくなる。かつ、電子放出時にポッピング現象が発生せず、安定して電子を高い電子放出効率で放出することができる。

20 なお、実施の形態 8 では、絶縁膜 1 6 が、ドリフト部 6 a の、分離部 6 b との境界近傍部の電界強度をドリフト部 6 a の中央部の電界強度よりも小さくする電界緩和部材（電界緩和手段）を構成している。要するに、電界緩和部材が上記境界近傍部と表面電極 7 との間に介在する絶縁膜 1 6 からなるので、複数の表面電極 7 と複数の導電性層 8 とを交差する方向に配設したマトリクス構造を採用する場合、隣り合う表面電極 7 の間を絶縁膜 1 6 により絶縁することができる。

(実施の形態 9)

以下、本発明の実施の形態 9 を説明する。実施の形態 9 にかかる電子源 10 の基本構成は、図 46 に示す従来の電子源 10” とほぼ同一である。ただし、次の点が相違する。

- すなわち、図 9 に示すように、絶縁性基板 11 の一表面上に金属薄膜（例えば、タングステン薄膜）からなる導電性層 8 が形成され、導電性層 8 上に、所定形状にパターニングされたシリコン酸化膜からなる絶縁膜 17 が形成されている。導電性層 8 及び絶縁膜 17 が形成された絶縁性基板 11 の上記表面側に、酸化された多孔質多結晶シリコン層からなるドリフト部 6a と該ドリフト部 6a の周囲に形成された多結晶シリコン層からなる分離部 6b とを有するドリフト層 6 が形成されている。ドリフト層 6 上には、金属薄膜（例えば、金薄膜）からなる表面電極 7 が形成されている。ドリフト層 6 は、導電性層 8 及び絶縁膜 17 が形成された絶縁性基板 11 の上記表面側の全面にノンドープの多結晶シリコン層を堆積させた後、該多結晶シリコン層のうちドリフト部 6a に対応した部位を陽極酸化処理により多孔質化して多孔質多結晶シリコン層を形成し、多孔質多結晶シリコン層を、例えば急速加熱法を用いて酸化することにより形成されている。導電性層 8 の厚さは 200 nm に設定され、ドリフト層 6 の厚さは 1.5 μ m に設定され、ドリフト部 6a の厚さは 1.0 μ m に設定され、表面電極 7 の膜厚は 15 nm に設定されている。なお、これらの数値はそれぞれ一例であって、これらに限定されるものではない。実施の形態 9 では、絶縁性基板 11 が基板を構成している。

実施の形態 9 にかかる電子源 10 のドリフト層 6 では、ドリフト部 6a を形成する際、ノンドープの多結晶シリコン層を表面から深さ方向に多孔質化し、導電性層 8 に達しないように途中で多孔質化を停止している。このため、多結晶シリコン層の一部からなる半導体層 3 がドリフト部 6a と導電性層 8 との間に介在している。しかし、ノンドープの多結晶シリコン層を表面から深さ方向において導電性層 8 に達するまで多孔質化し、半導体層 3 を介在させずに導電性層 8 上にドリフト部 6a を形成してもよい。

実施の形態 9 にかかる電子源 10 の基本動作は、図 46 ないし図 47 に示す従来の電子源 10” の場合とほぼ同一であるので、その詳しい説明は省略する。ま

た、電子源 10 における電子の放出過程も、従来の電子源 10'、10'' の場合とほぼ同一であるので（図 45 参照）、その詳しい説明は省略する。

実施の形態 9 では、ドリフト部 6a は、酸化された多孔質多結晶シリコン層で形成されている。しかし、ドリフト部 6a を窒化した多孔質多結晶シリコン層で形成してもよい。また、多孔質多結晶シリコン層以外の多孔質半導体層を酸化又は窒化したもので形成してもよい。ドリフト部 6a を窒化した多孔質多結晶シリコン層とした場合、図 45 における各シリコン酸化膜 52、64 はいずれもシリコン窒化膜となる。

実施の形態 9 にかかる電子源 10 は、ドリフト部 6a の、分離部 6b との境界近傍部と導電性層 8 との間において、導電性層 8 上に絶縁膜 17 が形成されている点に特徴がある。すなわち、ドリフト部 6a は、その中央部においては導電性層 8 との間に半導体層 3 しか介在していないが、上記境界近傍部においては半導体層 3 と絶縁膜 17 とが介在している。実施の形態 9 では、絶縁膜 17 はシリコン酸化膜で構成されている。しかし、絶縁膜 17 の材料はシリコン酸化膜に限られない。例えば、シリコン窒化膜で形成してもよい。

かくして、実施の形態 9 にかかる電子源 10 では、ドリフト部 6a の、分離部 6b との境界近傍部と導電性層 8 との間において、導電性層 8 上に絶縁膜 17 が設けられているので、上記境界近傍部の電界強度がドリフト部 6a の中央部の電界強度に比べて十分に小さくなる。このため、ドリフト部 6a をドリフトする電子の大部分がドリフト部 6a の中央部を通る。その結果、上記境界近傍部を通しての電子の過剰な放出を防止することができる。しかも、上記境界近傍部の電界強度が中央部の電界強度よりも小さくなるので、上記境界近傍部の絶縁破壊を防止することができ、導電性層 8 と表面電極 7 との間に局所的に過大な電流が流れるのを防止することができる。実施の形態 9 にかかる電子源 10 では、図 43 に示す従来の電子源 10' と同様に、電子放出特性の真空度依存性が小さくなる。かつ、電子放出時にポッピング現象が発生せず、安定して電子を高い電子放出効率で放出することができる。

実施の形態 9 では、絶縁膜 17 が、ドリフト部 6a における分離部 6b との境界近傍部分の電界強度をドリフト部 6a の中央部の電界強度よりも小さくする電

界緩和部材を構成している。要するに、電界緩和部材が、上記境界近傍部と導電性層 8 との間において導電性層 8 上に設けられた絶縁膜 17 からなるので、複数の表面電極 7 と複数の導電性層 8 とを交差する方向に配設したマトリクス構造を採用する場合、クロストークの発生を防止することができる。

5 (実施の形態 10)

以下、本発明の実施の形態 10 を説明する。実施の形態 10 にかかる電子源 10 の基本構成は、図 46 に示す従来の電子源 10' とほぼ同一である。ただし、次の点が相違する。

すなわち、図 10 に示すように、絶縁性基板 11 の一表面上に金属薄膜（例えば、タングステン薄膜）からなる導電性層 8 が形成され、導電性層 8 上に、酸化された多孔質多結晶シリコン層からなるドリフト部 6a と該ドリフト部 6a の周囲に形成された多結晶シリコン層からなる分離部 6b とを有するドリフト層 6 が形成されている。ドリフト層 6 上には、金属薄膜（例えば、金薄膜）からなる表面電極 7 が形成されている。ドリフト層 6 は、絶縁性基板 11 の上記表面側にノンドープの多結晶シリコン層を堆積させた後、該多結晶シリコン層のうちドリフト部 6a に対応した部位を陽極酸化処理により多孔質化して多孔質多結晶シリコン層を形成し、多孔質多結晶シリコン層を、例えば急速加熱法を用いて酸化することにより形成されている。導電性層 8 の厚さは 200 nm に設定され、ドリフト層 6 の厚さは 1.5 μ m に設定され、ドリフト部 6a の厚さは 1.0 μ m に設定され、表面電極 7 の膜厚は 15 nm に設定されている。なお、これらの数値はそれぞれ一例であって、これらに限定されるものではない。実施の形態 10 では、絶縁性基板 11 が基板を構成している。

実施の形態 10 にかかる電子源 10 の基本動作は、図 46 ないし図 47 に示す従来の電子源 10' の場合とほぼ同一であるので、その詳しい説明は省略する。また、電子源 10 における電子の放出過程も、従来の電子源 10'、10'' の場合とほぼ同一であるので（図 45 参照）、その詳しい説明は省略する。

実施の形態 10 では、ドリフト部 6a は、酸化された多孔質多結晶シリコン層により形成されている。しかし、ドリフト部 6a を窒化した多孔質多結晶シリコン層で形成してもよい。また、多孔質多結晶シリコン層以外の多孔質半導体層を

酸化又は窒化したもので形成してもよい。ドリフト部 6 a を窒化した多孔質多結晶シリコン層とした場合には、図 4 5 における各シリコン酸化膜 5 2、6 4 はいずれもシリコン窒化膜となる。

5 実施の形態 1 0 にかかる電子源 1 0 では、ドリフト部 6 a の、分離部 6 b との境界近傍部と導電性層 8 との間に高抵抗の第 1 の半導体層 2 3 b を介在させ、ドリフト部 6 a における中央部と導電性層 8 との間に低抵抗の第 2 の半導体層 2 3 a を介在させている点に特徴がある。第 2 の半導体層 2 3 a は、第 1 の半導体層 2 3 b に比べて抵抗が十分に小さくなるように、不純物でドーピングされている。この不純物のドーピングに際しては、イオンインプラレーション技術や拡散技術
10 などを利用すればよい。

かくして、実施の形態 1 0 にかかる電子源 1 0 では、ドリフト部 6 a の、分離部 6 b との境界近傍部と導電性層 8 との間に第 1 の半導体層 2 3 b を介在させ、ドリフト部 6 a の中央部と導電性層 8 との間に第 1 の半導体層 2 3 b に比べて抵抗が十分に小さな第 2 の半導体層 2 3 a を介在させてあるので、上記境界近傍部の電界強度がドリフト部 6 a の中央部の電界強度に比べて十分に小さくなる。このため、ドリフト部 6 a をドリフトする電子の大部分がドリフト部 6 a の中央部を通る。よって、上記境界近傍部を通しての電子の過剰な放出を防止することができる。しかも、上記境界近傍部の電界強度が中央部の電界強度よりも小さくなるので、上記境界近傍部の絶縁破壊を防止することができ、導電性層 8 と表面電
15 極 7 との間に局所的に過大な電流が流れるのを防止することができる。実施の形態 1 0 にかかる電子源 1 0 では、図 4 3 に示す従来の電子源 1 0' と同様に、電子放出特性の真空度依存性が小さくなる。かつ、電子放出時にポッピング現象が発生せず、安定して電子を高い電子放出効率で放出することができる。

25 実施の形態 1 0 では、第 1 の半導体層 2 3 b と第 2 の半導体層 2 3 a とが、ドリフト部 6 a の、分離部 6 b との境界近傍部の電界強度をドリフト部 6 a の中央部の電界強度よりも小さくする電界緩和部材を構成している。要するに、電界緩和部材が上記境界近傍部と導電性層 8 との間に介在させた高抵抗の第 1 の半導体層 2 3 b と、ドリフト部 6 a における中央部と導電性層 8 との間に介在させた低抵抗の第 2 の半導体層 2 3 a とからなるので、表面電極 7 及び導電性層 8 それぞ

れのパターンの制約をなくすることができる。

(実施の形態 1 1)

以下、本発明の実施の形態 1 1 を説明する。実施の形態 1 1 にかかる電子源 1 0 の基本構成は、図 4 6 に示す従来の電子源 1 0” とほぼ同一である。ただし、
5 次の点が相違する。

すなわち、図 1 1 に示すように、絶縁性基板 1 1 の一表面上に金属薄膜（例えば、タングステン薄膜）よりなる導電性層 8 が形成され、導電性層 8 上に、酸化された多孔質多結晶シリコン層からなるドリフト部 6 a と該ドリフト部 6 a の周囲に形成された多結晶シリコン層からなる分離部 6 b とを有するドリフト層 6 が
10 形成されている。ドリフト層 6 上には、金属薄膜（例えば、金薄膜）よりなる表面電極 7 が形成されている。ドリフト層 6 は、導電性層 8 が形成された絶縁性基板 1 1 の上記表面側の全面にノンドープの多結晶シリコン層を堆積させた後、該多結晶シリコン層のうちドリフト部 6 a に対応した部位を陽極酸化処理により多孔質化して多孔質多結晶シリコン層を形成し、多孔質多結晶シリコン層を、例
15 えば急速加熱法を用いて酸化することにより形成される。導電性層 8 の厚さは 2 0 0 n m に設定され、ドリフト層 6 の厚さは 1 . 5 μ m に設定され、ドリフト部 6 a の厚さは 1 . 0 μ m に設定され、表面電極 7 の膜厚は 1 5 n m に設定されている。なお、これらの数値はそれぞれ一例であって、これらに限定されるものではない。実施の形態 1 1 では、絶縁性基板 1 1 が基板を構成している。

実施の形態 1 1 にかかる電子源 1 0 のドリフト層 6 では、ドリフト部 6 a を形成する際に、ノンドープの多結晶シリコン層を表面から深さ方向に多孔質化し導電性層 8 に達しないように途中で多孔質化を停止している。このため、多結晶シリコン層の一部からなる半導体層 3 が、ドリフト部 6 a と導電性層 8 との間に介在している。しかし、ノンドープの多結晶シリコン層を表面から深さ方向において導電性層 8 に達するまで多孔質化することにより、半導体層 3 を介在させずに
25 導電性層 8 上にドリフト部 6 a を形成してもよい。

実施の形態 1 1 にかかる電子源 1 0 の基本動作は、図 4 6 ないし図 4 7 に示す従来の電子源 1 0” の場合とほぼ同一であるので、その詳しい説明は省略する。また、電子源 1 0 における電子の放出過程も、従来の電子源 1 0’、1 0” の場

合とほぼ同一であるので（図４５参照）、その詳しい説明は省略する。

実施の形態１１では、ドリフト部６ａは、酸化された多孔質多結晶シリコン層で形成されている。しかし、ドリフト部６ａを窒化した多孔質多結晶シリコン層で形成してもよい。また、多孔質多結晶シリコン層以外の多孔質半導体層を酸化又は窒化したもので形成してもよい。ドリフト部６ａを窒化した多孔質多結晶シリコン層とした場合には、図４５における各シリコン酸化膜５２、６４はいずれもシリコン窒化膜となる。

実施の形態１１にかかる電子源１０は、ドリフト部６ａの、分離部６ｂとの境界近傍部に重なる領域において、表面電極７に切欠部７ａが形成されている点に特徴がある。すなわち、ドリフト部６ａは中央部においては表面電極７が積層されているが、上記境界近傍部においては表面電極７が存在しない。要するに、図１１の左右方向については表面電極７の幅がドリフト部６ａの幅よりも小さくなり、かつ表面電極７の両端がドリフト部６ａの両端よりも内側に位置している。

かくして、実施の形態１１にかかる電子源１０では、ドリフト部６ａの、分離部６ｂとの境界近傍部と重なる領域において、表面電極７に切欠部７ａが形成されているので、上記境界近傍部の電界強度がドリフト部６ａの中央部の電界強度に比べて十分に小さくなる。このため、ドリフト部６ａをドリフトする電子の大部分がドリフト部６ａの中央部を通る。よって、上記境界近傍部を通しての電子の過剰な放出を防止することができる。しかも、上記境界近傍部の電界強度が中央部の電界強度よりも小さくなるので、上記境界近傍部の絶縁破壊を防止することができ、導電性層８と表面電極７との間に局所的に過大な電流が流れるのを防止することができる。実施の形態１１にかかる電子源１０では、図４３に示す従来の電子源１０'と同様に、電子放出特性の真空度依存性が小さくなる。かつ、電子放出時にポッピング現象が発生せず、安定して電子を高い電子放出効率で放出することができる。

実施の形態１１では、表面電極７の切欠部７ａが、ドリフト部６ａにおける分離部６ｂとの境界近傍部分の電界強度をドリフト部６ａの中央部の電界強度よりも小さくする電界緩和部材を構成している。したがって、表面電極７のパターンを変更するだけ（つまり、表面電極７をパターンニングするためのマスクを変更す

るだけ)で、電子の過剰な放出を防止することができる。

(実施の形態12)

以下、本発明の実施の形態12を説明する。実施の形態12にかかる電子源10の基本構成は、図46に示す従来の電子源10”とほぼ同一である。ただし、
5 次の点が相違する。

すなわち、図12に示すように、絶縁性基板11の一表面上に、所定形状にパターンニングされた金属薄膜(例えば、タンゲステン薄膜)からなる導電性層8が形成され、導電性層8が形成された絶縁性基板11の上記表面側に、酸化された多孔質多結晶シリコン層からなるドリフト部6aと該ドリフト部6aの周囲に形成された多結晶シリコン層からなる分離部6bとを有するドリフト層6が形成さ
10 れている。ドリフト層6上には、所定形状にパターンニングされた金属薄膜(例えば、金薄膜)からなる表面電極7が形成されている。ドリフト層6は、導電性層8が形成された絶縁性基板11の上記表面側の全面にノンドープの多結晶シリコン層を堆積させた後、多結晶シリコン層のうちドリフト部6aに対応した部位を陽極酸化処理により多孔質化して多孔質多結晶シリコン層を形成し、多孔質多結晶シリコン層を、例えば急速加熱法を用いて酸化することにより形成されている。
15 導電性層8の厚さは200nmに設定され、ドリフト層6の厚さは1.5μmに設定され、ドリフト部6aの厚さは1.0μmに設定され、表面電極7の膜厚は15nmに設定されている。これらの数値はそれぞれ一例であって、これらに限定されるものではない。実施の形態12では、絶縁性基板11が基板を構成している。

実施の形態12にかかる電子源10のドリフト層6では、ドリフト部6aを形成する際に、ノンドープの多結晶シリコン層を表面から深さ方向に多孔質化し、導電性層8に達しないように途中で多孔質化を停止している。このため、多結晶シリコン層の一部からなる半導体層3がドリフト部6aと導電性層8との間に介在している。しかし、ノンドープの多結晶シリコン層を表面から深さ方向において導電性層8に達するまで多孔質化することにより、半導体層3を介在させずに導電性層8上にドリフト部6aを形成してもよい。

実施の形態12にかかる電子源10の基本動作は、図46ないし図47に示す

従来の電子源 10” の場合とほぼ同一であるので、その詳しい説明は省略する。
また、電子源 10 における電子の放出過程も、従来の電子源 10’、10” の場合とほぼ同一であるので（図 4 5 参照）、その詳しい説明は省略する。

実施の形態 1 2 では、ドリフト部 6 a は、酸化された多孔質多結晶シリコン層
5 で形成されている。しかし、ドリフト部 6 a を窒化した多孔質多結晶シリコン層
で形成してもよい。また、多孔質多結晶シリコン層以外の多孔質半導体層を酸化
又は窒化したもので形成してもよい。ドリフト部 6 a を窒化した多孔質多結晶シリ
コン層とした場合は、図 4 5 における各シリコン酸化膜 5 2、6 4 は、いずれ
もシリコン窒化膜となる。

10 実施の形態 1 2 にかかる電子源 10 においては、ドリフト部 6 a の、分離部 6
b との境界近傍部分に重なる領域において、導電性層 8 に切欠部 8 c が形成され
ている点に特徴がある。すなわち、導電性層 8 は、ドリフト部 6 a の中央部に重
なる部位には形成されているが、上記境界近傍部には形成されていない。要する
15 に、図 1 2 の左右方向について、導電性層 8 の幅はドリフト部 6 a の幅よりも小
さくなっている。かつ、導電性層 8 の両端がドリフト部 6 a の両端よりも内側に
位置している。

かくして、実施の形態 1 2 にかかる電子源 10 では、ドリフト部 6 a の、分離
部 6 b との境界近傍部と重なる領域において、導電性層 8 に切欠部 8 c が形成さ
れているので、上記境界近傍部の電界強度がドリフト部 6 a の中央部の電界強度
20 に比べて十分に小さくなる。このため、ドリフト部 6 a をドリフトする電子の大部分がドリフト部 6 a の中央部を通る。よって、上記境界近傍部を通しての電子
の過剰な放出を防止することができる。しかも、上記境界近傍部の電界強度が中
央部の電界強度よりも小さくなるので、上記境界近傍部の絶縁破壊を防止するこ
とができ、導電性層 8 と表面電極 7 との間に局所的に過大な電流が流れるのを防
25 止することができる。実施の形態 1 2 にかかる電子源 10 では、図 4 3 に示す従
来の電子源 10’ と同様に、電子放出特性の真空度依存性が小さくなる。かつ、
電子放出時にポッピング現象が発生せず、安定して電子を高い電子放出効率で放
出することができる。

実施の形態 1 2 では、導電性層 8 の切欠部 8 c が、ドリフト部 6 a の、分離部

6 b との境界近傍部分の電界強度をドリフト部 6 a の中央部の電界強度よりも小さくする電界緩和部材を構成している。したがって、実施の形態 12 では、導電性層 8 のパターンを変更するだけ（つまり、導電性層 8 をパターンニングするためのマスクを変更するだけ）で電子の過剰な放出を防止することができる。

5 (実施の形態 13)

以下、本発明の実施の形態 13 を説明する。実施の形態 13 にかかる電子源 10 の基本構成は、図 48 に示すディスプレイに用いられている電子源 10” とほぼ同一である。ただし、次の点が相違する。

すなわち、図 13 に示すように、ガラス基板からなる絶縁性基板 11 と、絶縁性基板 11 の一表面上に配列された複数の導電性層からなる下部電極 8 と、下部電極 8 にそれぞれ重なるように形成された複数の酸化された多孔質多結晶シリコン層からなるドリフト部 6 a と該ドリフト部 6 a 間を埋める多結晶シリコン層からなる分離部 6 b とを有するドリフト層 6 と、ドリフト層 6 の上でドリフト部 6 a 及び分離部 6 b に跨って下部電極 8 と交差（直交）する方向に配列された複数の表面電極 7 とを備えている。下部電極 8 はタングステン薄膜で形成されている。表面電極 7 は、金薄膜からなる導電性薄膜で形成されている。下部電極 8 の膜厚は 200 nm に設定され、表面電極 7 の膜厚は 15 nm に設定されている。なお、これらの膜厚は、これらの数値に限定されるものではない。ドリフト層 6 の厚さは 1.5 μ m に設定され、ドリフト部 6 a の厚さは 1.5 μ m に設定されている。なお、ドリフト層 6 及びドリフト部 6 a の厚さは、これらの数値に限定されるものではない。実施の形態 13 では、絶縁性基板 11 が基板を構成している。

実施の形態 13 にかかる電子源 10 では、図 48 に示す従来の電子源 10” と同様に、複数の下部電極 8 と複数の表面電極 7 との間にドリフト層 6 のドリフト部 6 a が挟まれている。このため、表面電極 7 と下部電極 8 との組を適宜選択して選択した組間に電圧を印加すれば、選択された表面電極 7 と下部電極 8 との交点に対応する部位のドリフト部 6 a にのみ強電界が作用し、電子が放出される。つまり、表面電極 7 と下部電極 8 とからなる格子の格子点にそれぞれ電子源を配置したのと同様に、電圧を印加する表面電極 7 と下部電極 8 との組を選択することにより、所望の格子点から電子を放出させることができる。表面電極 7 と下部

電極 8 との間に印加される電圧は 10 ～ 20 V 程度である。各表面電極 7 は短冊状に形成され、その長手方向の両端部上にそれぞれパッド 27 が形成されている。各下部電極 8 も短冊状に形成され、その長手方向の両端部上にそれぞれパッド 28 が形成されている。

5 実施の形態 13 にかかる電子源 10 の基本動作は、図 46 ないしは図 47 に示す従来の電子源 10” の場合とほぼ同一であるので、その詳しい説明は省略する。また、電子源 10 における電子の放出過程ないしはドリフト層 6（ドリフト部 6a）のマイクロ構造も、従来の電子源 10’、10” の場合とほぼ同一であるので（図 45 参照）、その詳しい説明は省略する。

10 実施の形態 13 では、ドリフト部 6a は酸化された多孔質多結晶シリコン層で形成されている。しかし、ドリフト部 6a を窒化した多孔質多結晶シリコン層で形成してもよい。また、多孔質多結晶シリコン層以外の多孔質半導体層を酸化又は窒化したもので形成してもよい。ドリフト部 6a を窒化した多孔質多結晶シリコン層とした場合は、図 45 における各シリコン酸化膜 52、64 はいずれもシリコン窒化膜となる。

15 実施の形態 13 にかかる電子源 10 は、ドリフト部 6a の、分離部 6b との境界近傍部と表面電極 7 との間に、シリコン酸化膜よりなる絶縁膜 16 が介在している点に特徴がある。すなわち、ドリフト部 6a は、中央部においては表面電極 7 が積層されているが、上記境界近傍部においては絶縁膜 16 が積層されている。

20 また、ドリフト部 6a の表面側には隣り合う表面電極 7 に跨ってシリコン酸化膜からなる絶縁膜 26 が形成されている。絶縁膜 26 においては、ドリフト部 6a の長手方向における両端部が、それぞれ各表面電極 7 の幅方向の一端部と重なっている。

25 実施の形態 13 では、各絶縁膜 16、26 はシリコン酸化膜で形成されている。しかし、その材料はシリコン酸化膜に限られず、例えばシリコン窒化膜で形成してもよい。

かくして、実施の形態 13 にかかる電子源 10 では、ドリフト部 6a の、分離部 6b との境界近傍部と表面電極 7 との間に、絶縁膜 16 が介在しているので、上記境界近傍部の電界強度がドリフト部 6a の中央部の電界強度に比べて十分に

小さくなる。このため、ドリフト部 6 a をドリフトする電子の大部分がドリフト部 6 a の中央部を通る。よって、上記境界近傍部を通しての電子の過剰な放出を防止することができる。しかも、隣り合う表面電極 7 間を絶縁膜 1 6 により絶縁することができる。また、ドリフト部 6 a の表面側には隣り合う表面電極 7 に跨ってシリコン酸化膜からなる絶縁膜 2 6 が形成されているので、隣り合う表面電極 7 間の部位を通して電子が放出されるのを防止することができ、かつクロストークを防止することができる。さらに、上記境界近傍部の電界強度が中央部の電界強度よりも小さくなるので、上記境界近傍部の絶縁破壊を防止することができ、導電性層 8 と表面電極 7 との間に局所的に過大な電流が流れるのを防止することができる。実施の形態 1 3 にかかる電子源 1 0 では、図 4 3 に示す従来の電子源 1 0 ' と同様に、電子放出特性の真空度依存性が小さくなる。かつ、電子放出時にポッピング現象が発生せず、安定して電子を高い電子放出効率で放出することができる。

なお、実施の形態 13 では、絶縁膜 16 が、ドリフト部 6 a の、分離部 6 b との境界近傍部分の電界強度をドリフト部 6 a の中央部の電界強度よりも小さくする電界緩和部材を構成している。

(実施の形態 14)

以下、本発明の実施の形態 14 を説明する。実施の形態 14 にかかる電子源 10 の基本構成は、図 48 に示すディスプレイに用いられている電子源 10” とほぼ同一である。ただし、次の点が相違する。

すなわち、図 1 4 に示すように、ガラス基板からなる絶縁性基板 1 1 と、絶縁性基板 1 1 の一表面上に配列された複数の導電性層からなる下部電極 8 と、下部電極 8 にそれぞれ重なるように形成された複数の酸化された多孔質多結晶シリコン層からなるドリフト部 6 a と該ドリフト部 6 a の間を埋める多結晶シリコン層からなる分離部 6 b とを有するドリフト層 6 と、ドリフト層 6 の上でドリフト部 6 a 及び分離部 6 b に跨って下部電極 8 と交差（直交）する方向に配列された複数の表面電極 7 とを備えている。下部電極 8 はタングステン薄膜で形成されている。表面電極 7 は金薄膜からなる導電性薄膜で形成されている。下部電極 8 の膜厚は 2 0 0 n m に設定され、表面電極 7 の膜厚は 1 5 n m に設定されている。な

お、これらの膜厚はこれらの数値に限定されるものではない。ドリフト層 6 の厚さは $1.5 \mu\text{m}$ に設定され、ドリフト部 6 a の厚さは $1.0 \mu\text{m}$ に設定されている。なお、ドリフト層 6 及びドリフト部 6 a の厚さは、これらの数値に限定されるものではない。実施の形態 1 4 では、絶縁性基板 1 1 が基板を構成している。

- 5 実施の形態 1 4 にかかる電子源 1 0 では、図 4 8 に示す従来の電子源 1 0' と同様に、複数の下部電極 8 と複数の表面電極 7 との間にドリフト層 6 のドリフト部 6 a が挟まれている。このため、表面電極 7 と下部電極 8 との組を適宜選択し、選択した組間に電圧を印加すれば、選択された表面電極 7 と下部電極 8 との交点
10 に対応する部位のドリフト部 6 a にのみ強電界が作用し、電子が放出される。つまり、表面電極 7 と下部電極 8 とからなる格子の格子点にそれぞれ電子源を配置したのと同様に、電圧を印加する表面電極 7 と下部電極 8 との組を選択することにより、所望の格子点から電子を放出させることができる。表面電極 7 と下部電極 8 との間に印加される電圧は $10 \sim 20 \text{ V}$ 程度である。各表面電極 7 は短冊状に形成され、その長手方向の両端部上にそれぞれパッド 2 7 が形成されている。
15 各下部電極 8 も短冊状に形成され、その長手方向の両端部上にそれぞれパッド 2 8 が形成されている。

- 20 実施の形態 1 4 にかかる電子源 1 0 の基本動作は、図 4 6 ないしは図 4 7 に示す従来の電子源 1 0' の場合とほぼ同一であるので、その詳しい説明は省略する。また、電子源 1 0 における電子の放出過程ないしはドリフト層 6 (ドリフト部 6 a) のマイクロ構造も、従来の電子源 1 0'、1 0' の場合とほぼ同一であるので (図 4 5 参照)、その詳しい説明は省略する。

- 25 実施の形態 1 4 では、ドリフト部 6 a は酸化された多孔質多結晶シリコン層で形成されている。しかし、ドリフト部 6 a を窒化した多孔質多結晶シリコン層で形成してもよい。また、多孔質多結晶シリコン層以外の多孔質半導体層を酸化又は窒化したもので形成してもよい。ドリフト部 6 a を窒化した多孔質多結晶シリコン層とした場合は、図 4 5 における各シリコン酸化膜 5 2、6 4 はいずれもシリコン窒化膜となる。

実施の形態 1 4 にかかる電子源 1 0 は、ドリフト部 6 a の、分離部 6 b との境界近傍部と導電性層 8 との間において、導電性層 8 上に絶縁膜 1 7 が形成されて

いる点に特徴がある。すなわち、ドリフト部 6 a の中央部は導電性層 8 上に積層されているが、上記境界近傍部においては絶縁膜 1 7 が形成されている。また、ドリフト部 6 a の導電性層 8 側には、隣り合う表面電極 7 に跨ってシリコン酸化膜からなる絶縁膜 3 7 が形成されている。絶縁膜 3 7 においては、ドリフト部 6 a の長手方向における両端部が、それぞれ各表面電極 7 の幅方向の一端部と重なっている。

実施の形態 1 4 では、各絶縁膜 1 7、3 7 はシリコン酸化膜で形成されている。しかし、その材料はシリコン酸化膜には限られない。例えば、シリコン窒化膜で形成してもよい。

かくして、実施の形態 1 4 にかかる電子源 1 0 では、ドリフト部 6 a の、分離部 6 b との境界近傍部と導電性層 8 との間において、導電性層 8 上に絶縁膜 1 7 が形成されているので、上記境界近傍部の電界強度がドリフト部 6 a の中央部の電界強度に比べて十分に小さくなる。このため、ドリフト部 6 a をドリフトする電子の大部分がドリフト部 6 a の中央部を通る。よって、上記境界近傍部を通る電子の過剰な放出を防止することができる。しかも、ドリフト部 6 a の導電性層 8 側には、隣り合う表面電極 7 に跨ってシリコン酸化膜からなる絶縁膜 3 7 が形成されているので、隣り合う表面電極 7 間の部位を通して電子が放出されるのを防止することができ、かつクロストークを防止することができる。さらに、上記境界近傍部の電界強度が中央部の電界強度よりも小さくなるので、該境界近傍部の絶縁破壊を防止することができ、導電性層 8 と表面電極 7 との間に局所的に過大な電流を流れるのを防止することができる。また、実施の形態 1 4 にかかる電子源 1 0 では、図 4 3 に示す従来の電子源 1 0' と同様に、電子放出特性の真空中依存性が小さくなる。かつ、電子放出時にポッピング現象が発生せず、安定して電子を高い電子放出効率で放出することができる。

なお、実施の形態 1 4 では、絶縁膜 1 7 が、ドリフト部 6 a の、分離部 6 b との境界近傍部の電界強度をドリフト部 6 a の中央部の電界強度よりも小さくする電界緩和部材を構成している。

(実施の形態 1 5)

以下、本発明の実施の形態 1 5 を説明する。実施の形態 1 5 にかかる電子源 1

0の基本構成は、図48に示すディスプレイに用いられている電子源10”とほぼ同一である。ただし、次の点が相違する。

すなわち、図15に示すように、ガラス基板からなる絶縁性基板11と、絶縁性基板11の一表面上に配列された複数の導電性層からなる下部電極8と、下部電極8が形成された絶縁性基板11の上記表面側に形成されたドリフト層6と、ドリフト層6の上で下部電極8と交差（直交）する方向に配列された複数の表面電極7とを備えている。ドリフト層6は、表面電極7と下部電極8との重なる領域において表面電極7側に形成され酸化された多孔質多結晶シリコン層からなるドリフト部6aと、表面電極7の長手方向において隣り合うドリフト部6a間に形成されたノンドープの多結晶シリコン層からなる分離部6bと、ドリフト部6aにおける分離部6aとの境界近傍部分と導電性層8との間に介在する高抵抗の第1の半導体層23bと、ドリフト部6aと下部電極8との間に形成された低抵抗の第2の半導体層23aと、下部電極8の長手方向において隣り合うドリフト部6a間に形成された分離部6cとを有している。

下部電極8はタングステン薄膜で形成されている。表面電極7は金薄膜からなる導電性薄膜で形成されている。下部分極8の膜厚は200nmに設定され、表面電極7の膜厚は15nmに設定されている。なお、これらの膜厚はこれらの数値に限定されるものではない。ドリフト層6の厚さは1.5μmに設定され、ドリフト部6aの厚さは1.0μmに設定されている。なお、ドリフト層6及びドリフト部6aの厚さは、これらの数値に限定されるものではない。絶縁性基板11は基板を構成している。

実施の形態15にかかる電子源10では、図48に示す従来の電子源10”と同様に、複数の下部電極8と複数の表面電極7との間にドリフト層6のドリフト部6aが挟まれている。このため、表面電極7と下部電極8との組を適宜選択し、選択した組間に電圧を印加すれば、選択された表面電極7と下部電極8との交点に対応する部位のドリフト部6aにのみ強電界が作用し、電子が放出される。つまり、表面電極7と下部電極8とからなる格子の格子点にそれぞれ電子源を配置したのと同様に、電圧を印加する表面電極7と下部電極8との組を選択することにより、所望の格子点から電子を放出させることができる。表面電極7と下部電

極 8 との間に印加される電圧は 10 ～ 20 V 程度である。各表面電極 7 は短冊状に形成され、その長手方向の両端部上にそれぞれパッド 27 が形成されている。各下部電極 8 も短冊状に形成され、その長手方向の両端部上にそれぞれパッド 28 が形成されている。

5 実施の形態 15 にかかる電子源 10 の基本動作は、図 46 ないしは図 47 に示す従来の電子源 10' の場合とほぼ同一であるので、その詳しい説明は省略する。また、電子源 10 における電子の放出過程ないしはドリフト層 6 (ドリフト部 6a) のマイクロ構造も、従来の電子源 10'、10'' の場合とほぼ同一であるので (図 45 参照)、その詳しい説明は省略する。

10 実施の形態 15 では、ドリフト部 6a は酸化された多孔質多結晶シリコン層で形成されている。しかし、ドリフト部 6a を窒化した多孔質多結晶シリコン層で形成してもよい。また、多孔質多結晶シリコン層以外の多孔質半導体層を酸化又は窒化したもので形成してもよい。ドリフト部 6a を窒化した多孔質多結晶シリコン層とした場合は、図 45 における各シリコン酸化膜 52、64 はいずれもシリコン窒化膜となる。

15 実施の形態 15 にかかる電子源 10 は、ドリフト部 6a の、分離部 6b との境界近傍部と導電性層 8 との間に高抵抗の第 1 の半導体層 23b が介在し、ドリフト部 6a の中央部と導電性層 8 との間に第 1 の半導体層 23b に比べて抵抗が十分に小さい第 2 の半導体層 23a が介在している点に特徴がある。

20 かくして、実施の形態 15 にかかる電子源 10 では、ドリフト部 6a の、分離部 6b との境界近傍部と導電性層 8 との間に高抵抗の第 1 の半導体層 23b が介在し、ドリフト部 6a の中央部と導電性層 8 との間に第 1 の半導体層 23b に比べて抵抗が十分に小さい第 2 の半導体層 23a が介在しているので、上記境界近傍部の電界強度がドリフト部 6a の中央部の電界強度に比べて十分に小さくなる。

25 このため、ドリフト部 6a をドリフトする電子の大部分がドリフト部 6a の中央部を通る。よって、上記境界近傍部を通しての電子の過剰な放出を防止することができる。しかも、隣り合うドリフト部 6a の間が分離部 6b 又は分離部 6c により分離されているので、隣り合う表面電極 7 の間部位を通して電子が放出されるのを防止することができ、かつクロストークを防止することができる。さらに、

上記境界近傍部の電界強度が中央部の電界強度よりも小さくなるので、上記境界近傍部の絶縁破壊を防止することができ、導電性層 8 と表面電極 7 との間に局所的に過大な電流が流れるのを防止することができる。実施の形態 15 にかかる電子源 10 では、図 4 3 に示す従来の電子源 10' と同様に、電子放出特性の真空度依存性が小さくなる。かつ、電子放出時にポッピング現象が発生せず、安定して電子を高い電子放出効率で放出することができる。

実施の形態 15 では、第 1 の半導体層 23 b と第 2 の半導体層 23 a とが、ドリフト部 6 a の、分離部 6 b との境界近傍部の電界強度をドリフト部 6 a の中央部の電界強度よりも小さくする電界緩和部材を構成している。要するに、電界緩和部材が上記境界近傍部と導電性層 8 との間に介在する高抵抗の第 1 の半導体層 23 b と、ドリフト部 6 a における中央部と導電性層 8 との間に介在する低抵抗の第 2 の半導体層 23 a とからなるので、表面電極 7 及び導電性層 8 に対するパターンの制約をなくすることができる。

実施の形態 8 ～ 15 においては、表面電極 7 を形成する導電性薄膜として金薄膜が用いられている。しかし、表面電極 7 の材料は金に限定されるものではない。実施の形態 1 に記載したように、アルミニウム、クロム、タングステン、ニッケル、白金などの仕事関数が小さな材料を用いてもよい。なお、これらの材料を用いる場合の留意点ないし利点は、実施の形態 1 に記載したとおりである。

また、実施の形態 8 ～ 15 においては、下部電極 8 (導電性層) としてタングステン薄膜が用いられている。しかし、下部電極 8 の材料はタングステンに限定されるものではない。タングステンの代わりに、アルミニウム、ニッケル、コバルト、クロム、ハフニウム、モリブデン、パラジウム、白金、ロジウム、タンタル、チタン、ジルコニウムのいずれかを用いてもよい。また、これらの金属の酸化物やこれらの金属のうちの複数種類よりなる合金膜や、これらの金属と Si との合金 (例えば、アルミニウムを主成分とした Al-Si 合金) やシリサイド膜を用いてもよい。

なお、下部電極 8 を厚み方向に積層された複数層の導電性膜からなる導電性層で構成してもよい。この場合は、例えば最上層の導電性膜としてアルミニウムを用い、最下層の導電性膜としてはアルミニウムに比べて抵抗が小さい銅を用いれ

ばよい。

(実施の形態 16)

以下、本発明の実施の形態 16 を説明する。

図 16 A、16 B は、実施の形態 16 にかかる電子源 10 の要部の概略断面を示している。図 17 A～17 D は、この電子源 10 を製造する際の主要工程での電子源 10 ないしはその製造途中の中間体の断面を示している。実施の形態 16 では、導電性基板として抵抗率が導体の抵抗率に比較的近い単結晶の n 形シリコン基板 1 (例えば、抵抗率が略 $0.01 \Omega \text{cm} \sim 0.02 \Omega \text{cm}$ の (100) 基板) が用いられている。

実施の形態 16 にかかる電子源 10 の基本構成は、図 43 に示す従来の電子源 10' とほぼ同一である。すなわち、図 16 A に示すように、n 形シリコン基板 1 の主表面上に、酸化された多孔質多結晶シリコン層からなるドリフト層 6 が形成されている。ドリフト層 6 上には、窒化シリコン膜からなる電界緩和層 9 が形成されている。電界緩和層 9 上には、導電性薄膜 (例えば、金薄膜) からなる表面電極 7 が形成されている。n 形シリコン基板 1 の裏面にはオーミック電極 2 が形成されている。このように、実施の形態 16 では、n 形シリコン基板 1 の主表面上にドリフト層 6 が形成されている。しかし、n 形シリコン基板 1 の主表面とドリフト層 6 との間にノンドープの多結晶シリコン層が形成されていてもよい。

実施の形態 16 にかかる電子源 10 でも、図 43 及び図 44 に示す従来の電子源 10' と同様の動作原理で電子を放出することができる。すなわち、図 18 に示すように、従来の場合と同様に、表面電極 7 と n 形シリコン基板 1 との間に直流電圧 V_{ps} を印加するとともに、コレクタ電極 12 と表面電極 7 との間に直流電圧 V_c を印加すればよい。各直流電圧 V_{ps} 、 V_c を適宜に設定すれば、n 形シリコン基板 1 から注入された電子が、ドリフト層 6 をドリフトし、電界緩和層 9 及び表面電極 7 を通して放出される (図 16 中の一点鎖線は表面電極 7 を通して放出された電子 e^- の流れを示す。)。表面電極 7 には仕事関数の小さな材料が採用され、表面電極 7 の膜厚は $1 \sim 15 \text{nm}$ 程度に設定されている。

図 16 B に示すように、ドリフト層 6 は、図 45 に示す従来の電子源 10' と同様に、柱状の多結晶シリコンからなるグレイン 51 と、グレイン 51 の表面に

形成された薄い酸化シリコン膜52と、グレイン51間に介在するナノメータオーダーのシリコン微結晶63と、シリコン微結晶63の表面に形成されシリコン微結晶63の結晶粒径よりも小さい膜厚の酸化シリコン膜64とを含んでいる。ドリフト層6においては、後記の陽極酸化処理を行う前の多結晶シリコン層3（図17A～17D参照）に含まれていたグレインの表面が多孔質化し、残されたグレイン51で結晶状態が維持されているものと考えられる。したがって、ドリフト層6に印加された電界の大部分は酸化シリコン膜64を集中的に通じ、注入された電子 e^- はグレイン51間で酸化シリコン膜64を通る強電界によって加速され、図16B中の上向きにドリフトする。ドリフト層6の表面に到達した電子はホットエレクトロンであり、電界緩和層9でほとんど散乱されずに表面電極7を容易にトンネルし、真空中に放出される。

この電子源10では、ダイオード電流 I_{ps} に対する放出電子電流 I_e の比率（ $=I_e/I_{ps}$ ）が大きいほど電子放出効率が高くなる。この電子源10では、表面電極7とオーミック電極2との間に印加する直流電圧 V_{ps} を10～20V程度の低電圧としても、電子を放出させることができる。この電子源10では、電子放出特性の真空度依存性が小さくなる。しかも、電子放出時にポッピング現象が発生せず、電子を高い電子放出効率で安定して放出することができる。

実施の形態16にかかる電子源10は、ドリフト層6と表面電極7との間に、直流電圧（駆動電圧） V_{ps} を印加した状態でのドリフト層6の電界強度を緩和する電界緩和層9が設けられている点に特徴がある。電界緩和層9は、ドリフト層6と表面電極7との間に介在するので、ドリフト層6をドリフトした電子がほとんど散乱されることなく表面電極7へ到達するように、電子が散乱しにくい材料で形成し、かつその膜厚を薄くするのが望ましい。電界緩和層9の抵抗値がドリフト層6の抵抗値に比べて1桁以上小さいと、ドリフト層6の電界強度を緩和する効果が小さくなる。また、ドリフト層6の抵抗値よりも大きいと、駆動電圧を高くする必要がある。したがって、電界緩和層9の抵抗値は、ドリフト層6の抵抗値と同じオーダーであるのが望ましい。実施の形態16では、ドリフト層6の厚さは1.5 μm に設定され、電界緩和層9の膜厚は50 nmに設定されている。しかし、電界緩和層9の膜厚は50 nmに限定されるものではなく、ドリフト層

6の抵抗値に応じて10nm～100nmの範囲で適宜設定すればよい。ドリフト層6の抵抗値は、ドリフト層6の厚さや駆動電圧などによっても異なるが、数十kΩ～数十MΩ程度である。

実施の形態16にかかる電子源10では、ドリフト層6と表面電極7との間にドリフト層6の電界強度を緩和する電界緩和層9が設けられているので、ドリフト層6中の酸化シリコン膜52、64において絶縁破壊を起こしやすい部分の電界強度を小さくすることができ、該部分における絶縁破壊を防止することができ、ダイオード電流 I_{ps} 及び放出電子電流 I_e の経時変化を抑制することができる。このため、電子放出効率などの電子放出特性の経時安定性を向上させることができ、これをディスプレイなどに応用した場合に、画面の輝度が経時的に暗くなるのを防止することができる。電界緩和層9を設けたことによりドリフト層6に印加される電界強度が小さくなる。このため、表面電極7と導電性基板であるn形シリコン基板1（オーミック電極2）との間に印加する駆動電圧（直流電圧 V_{ps} ）を、電界緩和層9が設けられていない従来の電子源10'の場合と同じにすると、放出電子電流 I_e は、電界緩和層9を設けていない場合よりも小さくなる。しかし、駆動電圧を大きくすることにより、放出電子電流 I_e の大きさを、従来の電子源10'と同等の値にすることができる。

実施の形態16にかかる電子源10では、電界緩和層9が窒化シリコン膜で形成されているが、窒化シリコン膜は抵抗率が高いので、電界緩和層9の膜厚を薄くすることができる。しかも、窒化シリコン膜は電子の透過特性に優れ、ドリフト層6をドリフトした電子が電界緩和層9中で散乱されにくいので、電界緩和層9を設けたことによる電子放出効率の低下を抑制することができる。

実施の形態16では、導電性基板としてn形シリコン基板1が用いられている。ここで、導電性基板は、電子源10の負極を構成するとともに真空中においてドリフト層6を支持し、かつドリフト層6に電子を注入するものである。したがって、導電性基板は、電子源10の負極を構成し、ドリフト層6を支持することができるものであればよい。したがって、導電性基板は、n形シリコン基板に限定されるものではなく、例えばクロムなどの金属基板であってもよい。あるいは、図46に示すような、ガラスなどの絶縁性基板11の一表面側（主表面側）に導

電性層 8 を形成したものであってもよい。ガラス基板の一表面側に導電性層 8 を形成した基板を用いる場合は、半導体基板を用いる場合に比べて、電子源の大面積化及び低コスト化が可能となる。

実施の形態 16 では、表面電極 7 を形成する導電性薄膜として金薄膜が用いられている。しかし、表面電極 7 の材料は金に限定されるものではない。実施の形態 1 に記載したように、アルミニウム、クロム、タングステン、ニッケル、白金などの仕事関数が小さな材料を用いてもよい。なお、これらの材料を用いる場合の留意点ないしは利点は、実施の形態 1 に記載したとおりである。

実施の形態 16 では、ドリフト層 6 を、酸化された多孔質多結晶シリコン層で形成している。しかし、ドリフト層 6 を窒化した多孔質多結晶シリコン層で形成してもよい。また、多孔質多結晶シリコン層以外の多孔質半導体層を酸化又は窒化したもので形成してもよい。ドリフト層 6 を窒化した多孔質多結晶シリコン層とした場合は、図 16 B における各酸化シリコン膜 52、64 はいずれも窒化シリコン膜となる。また、実施の形態 16 では、電界緩和層 9 は窒化シリコン膜で形成されている。しかし、電子散乱が少なく抵抗率が高い酸化シリコン膜やアモルファスシリコン、アモルファス炭化シリコン、金属の酸化膜や窒化膜などで形成してもよい。

以下、図 17 A ~ 17 D を参照しつつ、図 16 A、16 B に示す電子源 10 の製造方法を説明する。

まず、n 形シリコン基板 1 の裏面にオーミック電極 2 を形成する。続いて、n 形シリコン基板 1 の主表面上に所定膜厚（例えば、 $1.5 \mu\text{m}$ ）のノンドープの多結晶シリコン層（多結晶シリコン薄膜）3 を、例えば LPCVD 法によって形成（成膜）し、図 17 A に示す構造を備えた中間体を得る。

次に、55 wt % のフッ化水素水溶液とエタノールとを略 1 : 1 で混合した混合液からなる電解液の入った陽極酸化処理槽を用い、白金電極（図示せず）を負極とし、n 形シリコン基板 1（オーミック電極 2）を正極として、多結晶シリコン層 3 に光照射を行いながら所定の条件で陽極酸化処理を行う。これにより、多孔質多結晶シリコン層 4 が形成され、図 17 B に示す構造を備えた中間体が得られる。この陽極酸化処理の条件は次のとおりである。すなわち、多結晶シリコン

層 3 の表面が電解液に触れるようにした上で、電流密度を 30 mA/cm^2 で一定とし、電流の通電時間を 10 秒とする。また、多結晶シリコン層 3 に光を照射する光源としては、500 W のタングステンランプを用いる。実施の形態 16 では、多結晶シリコン層 3 を深さ方向において n 形シリコン基板 1 に達する深さまで多孔質化している。しかし、深さ方向の途中まで多孔質化するようにしてもよい。この場合、n 形シリコン基板 1 と多孔質多結晶シリコン層 4 との間に、多結晶シリコン層 3 の一部が残る。

陽極酸化処理が終了した後、急速加熱法による急速熱酸化技術を用いて多孔質多結晶シリコン層 4 に急速熱酸化を行う。これにより、酸化された多孔質多結晶シリコン層からなるドリフト層 6 が形成される。この後、ドリフト層 6 上にスパッタ法によって所定膜厚（例えば、50 nm）の電界緩和層 9 を形成し、図 17 C に示す構造を備えた中間体を得る。急速熱酸化は、ランプアニール装置を用いて行われる。酸素ガスの流量は標準状態で 0.3 L/min (300 sccm) に設定され、酸化温度は 900°C に設定され、酸化時間は 1 時間に設定される。実施の形態 16 では、多孔質多結晶シリコン層 4 の酸化を急速熱酸化により行っているため、数秒で酸化温度まで昇温することができ、通常の炉心管タイプの酸化装置で問題となる入炉時の巻き込み酸化を抑制することができる。

スパッタ法による電界緩和層 9 の形成は、次の手順で行われる。すなわち、ターゲットとして窒化シリコンを用い、チャンバ内を $1 \times 10^{-4} \text{ Pa}$ 以下まで排気する。そして、Ar ガスを標準状態で 0.03 L/min (30 sccm) の流量でチャンバ内に導入して、チャンバ内の圧力を $5 \times 10^{-1} \text{ Pa}$ に調整する。この後、チャンバ内に配置された電極間に 1 W/cm^2 の高周波電力を供給して窒化シリコン膜を成膜する。

電界緩和層 9 を形成した後、電界緩和層 9 上に表面電極 7 となる金薄膜を、例えば蒸着により形成し、図 17 D に示す電子源 10 を得る。

この製造方法を採用すれば、電界緩和層 9 をドリフト層 6 上に積層する工程を、従来の電子源 10' の製造方法に追加するだけで、経時安定性の優れた電子源 10 を製造することができる。

この製造方法で製造された電子源 10 は、電子放出特性の真空度依存性が小さ

くなる。かつ、電子放出時にポッピング現象が発生せず、安定して電子を放出することができる。また、導電性基板として単結晶シリコン基板などの半導体基板の他に、ガラス基板などに導電性層（例えば、ITO膜）を形成した基板なども使用することもできるので、スピント型電極に比べて、電子源の大面积化及び低コスト化が可能となる。

多結晶シリコン層3の成膜は、導電性基板が半導体基板の場合には、LPCVD法でなく、スパッタ法により行ってもよい。あるいは、プラズマCVD法によりアモルファスシリコンを成膜した後、アニール処理を行うことにより結晶化させて成膜してもよい。導電性基板がガラス基板に導電性層を形成した基板の場合には、CVD法により導電性層上にアモルファスシリコンを成膜した後、アニールすることにより、多結晶シリコン層3を形成してもよい。導電性層上に多結晶シリコン層3を形成する方法は、CVD法に限定されるものではない。例えば、CGS (Continuous Grain Silicon) 法や触媒CVD法などを用いてもよい。

多孔質多結晶シリコン層4の酸化方法としては、熱酸化法の他に、酸（例えば、希硫酸、希硝酸、王水など）を用いた電気化学的な酸化を用いることができる。酸によって電気化学的に酸化する前に、多孔質多結晶シリコン層4の極表面が酸化する程度の時間だけ酸化性の溶液（例えば、硝酸、硫酸、塩酸、過酸化水素水など）に浸すことにより、シリコン原子を終端している水素原子を酸素原子に置換してもよい。また、酸素とオゾンの少なくとも一方を含むガス雰囲気中で紫外光を照射して酸化してもよい。酸素とオゾンの少なくとも一方を含むガス雰囲気中でプラズマにさらすことにより酸化してもよい。少なくともオゾンを含むガス雰囲気中で加熱を行う（加熱温度は100℃～600℃の温度範囲で適宜設定すればよい）ことにより酸化してもよい。紫外光を照射するとともに加熱を行う（加熱温度は100℃～600℃の温度範囲で適宜設定すればよい）ことにより酸化してもよい。酸素とオゾンの少なくとも一方を含むガス雰囲気中で紫外光を照射するとともに加熱を行う（加熱温度は100℃～600℃の温度範囲で適宜設定すればよい）ことにより酸化してもよい。また、これらを組み合わせるようにしてもよい。熱酸化法以外の方法を採用することにより、比較的低温で多孔質多結晶シリコン層4を酸化することができる。このため、図16Bにおける酸化シリコン膜

5 2、6 4 への不純物の拡散量が少なくなり、絶縁耐圧が向上する。多孔質多結晶シリコン層 4 を酸化する代わりに、窒化してもよい。

電界緩和層 9 の形成方法はスパッタ法に限定されるものではなく、蒸着法やイオンプレーティング法などを用いてもよい。表面電極 7 の形成方法は蒸着に限定
5 されるものではなく、例えばスパッタ法を用いてもよい。

以下、図 1 9 を参照しつつ、実施の形態 1 6 にかかる電子源 1 0 を利用したディスプレイを説明する。

図 1 9 に示すように、このディスプレイは、電子源 1 0 の表面電極 7 に対向配置されるガラス基板 3 3 を備えている。ガラス基板 3 3 の電界放射型電子源 1 0
10 と対向する面には、ストライプ状にコレクタ電極 3 1 が配設されている。また、表面電極 7 を通して放射される電子線によって可視光を発光する蛍光体層 3 2 が、コレクタ電極 3 1 を覆うように配設されている。表面電極 7 はストライプ状に形成されている。型電子源 1 0 とガラス基板 3 3 との間の空間は真空状態となっている。

15 このディスプレイでは、表面電極 7 がストライプ状に形成され、コレクタ電極 3 1 が表面電極 7 と直交するストライプ状に形成されている。このため、コレクタ電極 3 1 及び表面電極 7 を適宜選択して電圧（電界）を印加すれば、電圧が印加された表面電極 7 からのみ電子が放出される。放出された電子は、該電子が放出された表面電極 7 において対向するコレクタ電極 3 1 に電圧が印加されている
20 領域から放出された電子だけが加速され、該コレクタ電極 3 1 を覆う蛍光体層 3 2 を発光させる。

要するに、図 1 9 に示すディスプレイでは、特定の表面電極 7 と特定のコレクタ電極 3 1 とに電圧を印加することにより、蛍光体層 3 2 のうち電圧が印加された両電極 7、3 1 の交差する領域に対応する部分を発光させることができる。そして、電圧を印加する表面電極 7 及びコレクタ電極 3 1 を適宜切り替えることにより、画像や文字などを表示することができる。このディスプレイにおいて、電子源 1 0 から放出された電子で蛍光体層 3 2 の蛍光体を発光させるには、コレクタ電極 3 1 に高電圧を印加して電子を加速する必要がある。そうするには、コレクタ電極 3 1 に、数百 V ないし数 k V の高電圧を印加すればよい。

(実施の形態 17)

以下、本発明の実施の形態 17 を説明する。

図 20 に示すように、実施の形態 17 にかかる電子源 10 の基本構成は、実施
形態 16 にかかる電子源 10 とほぼ同一であるが、電界緩和層 9 が、ドリフト層
5 6 上に形成された窒化シリコン膜 9 a と、窒化シリコン膜 9 a 上に形成された酸
化シリコン膜 9 b とで構成されている点に特徴がある。要するに、実施の形態 1
6 では、電界緩和層 9 が窒化シリコン膜 9 a を含む多層膜により構成され、表面
電極 7 が酸化シリコン膜 9 b 上に積層されている。窒化シリコン膜 9 a 及び酸化
シリコン膜 9 b は、いずれもスパッタ法により形成される。

10 かくして、実施の形態 17 においても、基本的には、実施の形態 16 と同様の
効果が得られる。ただし、実施の形態 17 では、窒化シリコン膜 9 a 及び酸化シ
リコン膜 9 b の各抵抗率が高いので、電界緩和層 9 の膜厚を薄くすることができ
る。かつ、ドリフト層 6 をドリフトした電子が窒化シリコン膜 9 a 中で散乱され
にくいので、電界緩和層 9 を設けたことによる電子放出効率の低下を抑制するこ
15 とができる。しかも、実施の形態 17 では、表面電極 7 が酸化シリコン膜 9 a 上
に形成されているので、実施の形態 16 のように表面電極 7 が窒化シリコン膜か
らなる電界緩和層 9 上に形成されている場合に比べて、表面電極 7 への電子の移
動が起こりやすくなり、電子放出効率を高めることができる。

ここで、窒化シリコン膜 9 a の膜厚は 40 nm に設定され、酸化シリコン膜 9
20 b の膜厚は 10 nm に設定されている。しかし、これらの膜厚はこれらの数値に
限定されるものではなく、ドリフト層 6 の厚さ及び抵抗値などに応じて適宜設定
すればよい。ただし、窒化シリコン膜 9 a の方が酸化シリコン膜 9 b よりも電子
の散乱が少ないので、窒化シリコン膜 9 a の膜厚を酸化シリコン膜 9 b の膜厚よ
りも厚く設定するのが望ましい。

(実施の形態 18)

以下、本発明の実施の形態 18 を説明する。

図 21 に示すように、実施の形態 18 にかかる電子源 10 の基本構成は、実施
の形態 16 にかかる電子源 10 とほぼ同一であるが、電界緩和層 9 が、ドリフト
層 6 上に形成された第 1 の酸化シリコン膜 9 c と、第 1 の酸化シリコン膜 9 c 上

に形成された窒化シリコン膜 9 a と、窒化シリコン膜 9 a 上に形成された第 2 の酸化シリコン膜 9 b とで構成されている点に特徴がある。要するに、実施の形態 18 では、電界緩和層 9 が窒化シリコン膜 9 a を含む多層膜により構成され、表面電極 7 が第 2 の酸化シリコン膜 9 b 上に積層されている。窒化シリコン膜 9 a 及び各酸化シリコン膜 9 c、9 b は、いずれもスパッタ法により形成される。

かくして、実施の形態 18 においても、基本的には、実施の形態 16 と同様の効果が得られる。ただし、実施の形態 18 では、窒化シリコン膜 9 a 及び各酸化シリコン膜 9 c、9 b の各低効率が高いので、電界緩和層 9 の膜厚を薄くすることができる。かつ、ドリフト層 6 をドリフトした電子が窒化シリコン膜 9 a 中で散乱されにくいので、電界緩和層 9 を設けたことによる電子放出効率の低下を抑制することができる。しかも、実施の形態 18 では、表面電極 7 が第 2 の酸化シリコン膜 9 a 上に形成されているので、実施の形態 16 のように表面電極 7 が窒化シリコン膜からなる電界緩和層 9 上に形成されている場合に比べて、表面電極 7 への電子の移動が起こりやすくなり、電子放出効率を高めることができる。

ここで、第 1 の酸化シリコン膜 9 c の膜厚は 10 nm に設定され、窒化シリコン膜 9 a の膜厚は 40 nm に設定され、第 2 の酸化シリコン膜 9 b の膜厚は 10 nm に設定されている。しかし、これらの膜厚はこれらの数値に限定されるものではなく、ドリフト層 6 の厚さ及び抵抗値などに応じて適宜設定すればよい。ただし、窒化シリコン膜 9 a の方が各酸化シリコン膜 9 c、9 b よりも電子の散乱が少ないので、窒化シリコン膜 9 a の膜厚を各酸化シリコン膜 9 c、9 b の膜厚よりも厚く設定するのが望ましい。

(実施の形態 19)

以下、本発明の実施の形態 19 を説明する。実施の形態 19 にかかる電子源 10 の基本構成は、基本的には、実施の形態 16 にかかる電子源 10 とほぼ同一であるが、図 16 A、16 B に示す実施の形態 16 にかかる電子源 10 における電界緩和層 9 が酸化クロム膜で形成されている点に特徴がある。酸化クロム膜は、少なくとも表面電極 7 が剥離しない程度には表面電極 7 との密着性が高い材料であるので、電界緩和層 9 から表面電極 7 が剥離することによる経時劣化及び電子放出特性の経時変化を抑制することができる。また、酸化クロム膜は電子の透過

特性に優れているので、電界緩和層 9 を設けたことによる電子放出効率の低下を抑制することができる。かくして、実施の形態 19 にかかる電子源 10 においても、実施の形態 16 と同様の効果が得られる。

以下、図 22A～22D を参照しつつ、実施の形態 19 にかかる電子源 10 の製造方法を説明する。ただし、この製造方法は、実施の形態 16 にかかる電子源 10 の製造方法とほぼ同一である。そこで、以下では、説明の重複を避けるため、実施の形態 16 と共通する点については、その説明を簡略化する。

実施の形態 19 では、導電性基板である n 形シリコン基板 1 の裏面にオーミック電極 2 を形成した後、n 形シリコン基板 1 の表面上にノンドープの多結晶シリコン層 3 を LPCVD 法により形成し、図 22A に示す構造を備えた中間体を得る。次に、多結晶シリコン層 3 を陽極酸化処理により多孔質化して多孔質多結晶シリコン層 4 を形成し、図 22B に示す構造を備えた中間体を得る。

さらに、多孔質多結晶シリコン層 4 を熱酸化し、酸化された多孔質多結晶シリコン層からなるドリフト層 6 を形成する。次に、ドリフト層 6 上にクロム膜からなる被酸化層 19 を電子ビーム蒸着法によって形成する。さらに、被酸化層 19 上に金薄膜からなる表面電極 7 を形成し、図 22C に示す構造を備えた中間体を得る。実施の形態 19 では、被酸化層 19 の膜厚は 20 nm に設定され、表面電極 7 の膜厚は 15 nm に設定されている。しかし、これらの膜厚は、これらの数値に限定されるものではない。

表面電極 7 を形成した後、酸化処理により被酸化層 19 を酸化し、酸化クロム膜からなる電界緩和層 9 を形成し、図 22D に示す電子源 10 を得る。酸化処理は、例えばオゾン発生器で発生させたオゾンを酸化処理用のチャンバ内に導入するなどして行えばよい。実施の形態 19 では、標準状態で 5 L/min の流量で酸素ガスをオゾン発生器に導入し、オゾン発生器内で放電を行うことにより濃度が約 5 % のオゾンを発生させ、このオゾンを酸化処理用のチャンバへ導入している。この酸化処理では、導電性基板である n 形シリコン基板 1 は 150 °C に加熱される。実施の形態 19 では、酸化クロム膜が酸化層を構成している。

この製造方法は、導電性基板である n 形シリコン基板 1 の主表面側に形成されたドリフト層 6 上に電界緩和層 9 の構成元素のうち酸素を除いた構成元素である

クロで被酸化層 19 を形成する工程と、被酸化層 19 上に表面電極 7 を形成する工程と、表面電極 7 を形成した後に酸化処理によって被酸化層 19 を酸化して電界緩和層 9 を形成する工程とを備えている。このため、経時安定性に優れた電子源 10 を提供することができる。また、表面電極 7 が形成された後、酸化処理に

5 被酸化層 19 を酸化することにより電界緩和層 9 が形成されるので、電界緩和層 9 が酸化処理時に汚染されたり損傷を受けるのを防止することができる。しかも、オゾンで被酸化層 19 を酸化するこの酸化処理においては、表面電極 7 を拡散するオゾンにより被酸化層 19 が酸化されるので、熱酸化に比べて低温で被酸化層 19 を酸化することができる。このため、表面電極 7 の構成元素である金の凝集による断線や剥離などのダメージが発生するのを防止することができる。

10

実施の形態 19 では、酸化処理において被酸化層 19 をオゾンにより酸化しているが、酸素プラズマにより被酸化層 19 を酸化するようにしてもよい。この場合も、熱酸化に比べて低温で被酸化層 19 を酸化することができ、表面電極 7 の構成元素の凝集による断線や剥離などのダメージが発生するのを防止することができる。

15

(実施の形態 20)

以下、本発明の実施の形態 20 を説明する。

図 23 に示すように、実施の形態 20 にかかる電子源 10 の基本構成は、図 54 に示す従来の電子源 10” とほぼ同一である。すなわち、ガラス基板からなる絶縁性基板 11 と、絶縁性基板 11 の一表面上に配列された複数の導電性層（例えば、クロム膜などの金属膜や ITO 膜など）からなる配線 8a（下部電極）と、配線 8a に重なるように形成された複数の酸化した多孔質多結晶シリコン層からなるドリフト部 6a と該ドリフト部 6a の間を埋めるノンドープの多結晶シリコン層からなる分離部 6b とを有する強電界ドリフト層 6 と、各ドリフト部 6a を介してそれぞれ配線 8a に対向する複数の表面電極 7 と、ドリフト層 6 の上で配線 8a と交差する方向に配列された複数の表面電極 7 を各列ごとに共通接続する複数のバス電極 25 とを備えている。バス電極 25 は、ドリフト部 6a 及び分離部 6b に跨って配線 8a と交差する方向に配列されている。表面電極 7 には仕事関数の小さな材料（例えば、金）が採用され、表面電極 7 の膜厚は 10 ～ 15 nm

20

25

mに設定されている。バス電極25には抵抗が低く加工が容易な材料（例えば、アルミニウムや銅など）が採用されている。バス電極25は、電子をトンネルさせる必要がないので、表面電極7に比べて膜厚を厚くすることができ、低抵抗化を図ることができる。実施の形態20では、絶縁性基板11が基板を構成している。

図23及び図24に示すように、実施の形態20にかかる電子源10は、表面電極7とバス電極25の間に、表面電極7とバス電極25との間の電流通路を狭く（電流の通過断面積を狭く）する導電性材料よりなる幅狭部18aが介在している点に特徴がある。

図25に示すように、幅狭部18aは、過電流が流れたときに断線する。つまり、幅狭部18aにおいては、過電流が流れたときに断線する程度に熱容量を小さくしてある。この電子源10では、各表面電極7が同一のパッド28に共通接続された2本のバス電極25に挟まれている。そして、表面電極7とその両側のバス電極25、25との間に、それぞれ、幅狭部18aが介在している。幅狭部18aは、表面電極7とバス電極25との間に介在し表面電極7に流れる電流を制限する過電流保護要素を構成している。

実施の形態20にかかる電子源10では、図54に示す従来の電子源10”と同様に、複数の配線8aと複数の表面電極7との間にドリフト層6のドリフト部6aが挟まれている。このため、バス電極25と配線8aとの組を適宜選択し、選択した組間に電圧を印加すれば、選択されたバス電極25において配線8aとの交点に対応する部位に近接した表面電極7下のドリフト部6aにのみ強電界が作用し、電子が放出される。つまり、電圧を印加するバス電極25と配線8aとの組を選択することにより、所望の格子点から電子を放出させることができる。バス電極25と配線8aとの間に印加される電圧は10～20V程度である。配線8aは短冊状に形成され、その長手方向の両端部上にそれぞれパッド27が形成されている。バス電極25は、その長手方向の両端部でそれぞれパッド28に接続されている。

実施の形態20にかかる電子源10の基本動作は、図46ないしは図47に示す従来の電子源10”の場合とほぼ同一であるので、その詳しい説明は省略する。

また、電子源 10 における電子の放出過程ないしはドリフト層 6（ドリフト部 6 a）のマイクロ構造も、従来の電子源 10'、10" の場合とほぼ同一であるので（図 4 5 参照）、その詳しい説明は省略する。

実施の形態 20 にかかる電子源 10 においては、表面電極 7 とバス電極 25 との間に幅狭部 18 a が介在しているので、特定の表面電極 7 に過電流が流れると、その表面電極 7 とバス電極 25 との間に介在する幅狭部 18 a が断線する。このため、特定の表面電極 7 に過電流が流れ続けるのを防止することができ、発熱による劣化範囲の拡大が防止されて、信頼性を高めることができる。要するに、表面電極 7 とバス電極 25 との間に表面電極 7 に流れる電流を制限する過電流保護要素が介在しているので、バス電極 25 と表面電極 7 との間に過電流が流れるのを制限することができる。このため、表面電極 7、ドリフト部 6 a、配線 8 a に過電流が流れるのを制限することができ、その温度が高くなるのを抑制することができる。よって、劣化範囲が拡大するのを防止することができ、信頼性を高めることができる。換言すれば、ディスプレイの個々の画素に、それぞれ対応する各表面電極 7 のうち過電流の流れた表面電極 7 とバス電極 25 との間に介在する幅狭部 18 a のみを断線させることができる。このため、他の画素に対応する表面電極 7 への影響を抑制することができ、ディスプレイに用いる電子源としての信頼性を高めることができる。実施の形態 20 にかかる電子源 10 では、隣り合うドリフト部 6 a 間が分離部 6 b により絶縁されているので、隣り合うドリフト部 6 a の間の部位を通して電子が放出されるといったクロストークの発生を防止することができる。また、実施の形態 20 にかかる電子源 10 では、図 4 3 に示す従来の電子源 10' と同様に、電子放出特性の真空度依存性が小さくなる。かつ、電子放出時にポッピング現象が発生せず、安定して電子を高い電子放出効率で放出することができる。

（実施の形態 21）

以下、本発明の実施の形態 21 を説明する。

図 2 6 及び図 2 7 に示すように、実施の形態 21 にかかる電子源 10 の基本構成は、実施の形態 20 にかかる電子源 10 とほぼ同一であるが、表面電極 7 とバス電極 25 との間に高抵抗層 18 b が介在している点が相違する。高抵抗層 18

bは、表面電極7とバス電極25との間に介在し表面電極7に流れる電流を制限する過電流保護要素を構成している。その他の点については、実施の形態20と同一であるので、説明を省略する。

かくして、実施の形態21にかかる電子源10では、表面電極7とバス電極25とが直接接続された図54に示す従来の電子源10”に比べて、表面電極7に過電流が流れるのを防止することができ、発熱による劣化範囲の拡大を防止することができ、信頼性を高めることができる。

(実施の形態22)

以下、本発明の実施の形態22を説明する。

図28～図30に示すように、実施の形態22にかかる電子源10の基本構成は、実施の形態20とほぼ同一であるが、表面電極7とバス電極25との間に抵抗温度係数が正の感温抵抗層18cが介在している点が相違する。

図31に示すように、感温抵抗層18cは、温度が上昇すると抵抗値が大きくなる。感温抵抗層18cの材料としては、例えばPTCサーミスタなどに用いられているBaTiO₃系の材料を用いることができる。感温抵抗層18cは、表面電極7とバス電極25との間に介在し表面電極7に流れる電流を制限する過電流保護要素を構成している。その他の点については、実施の形態20と同一であるので、説明を省略する。

かくして、実施の形態22にかかる電子源10では、特定の表面電極7に過電流が流れて温度が上昇すると、この表面電極7とバス電極25との間に介在する感温抵抗層18cの抵抗が上昇する。これにより、表面電極7に流れる電流が制限されるので、図54に示す従来の電子源10”に比べて、表面電極7に過大な電流が流れるのを防止することができる。よって、発熱による劣化範囲の拡大を防止することができ、信頼性を高めることができる。

(実施の形態23)

以下、本発明の実施の形態23を説明する。

図32に示すように、実施の形態23にかかる電子源10の基本構成は、図54に示す従来の電子源10”とほぼ同一である。すなわち、ガラス基板よりなる絶縁性基板11と、絶縁性基板11の一表面上に配列された複数の導電性層(例

例えば、クロム膜などの金属膜やITO膜など) からなる配線8a(下部電極)と、配線8aに重なるように形成された複数の酸化された多孔質多結晶シリコン層からなるドリフト部6aと該ドリフト部6aの間を埋めるノンドープの多結晶シリコン層からなる分離部6bとを有するドリフト層6と、各ドリフト部6aを介してそれぞれ配線8aに対向する複数の表面電極7と、ドリフト層6の上で配線8aと交差する方向に配列された複数の表面電極7を各列ごとに共通接続する複数のバス電極25とを備えている。バス電極25は、ドリフト部6a及び分離部6bに跨って配線8aと交差する方向に配列されている。表面電極7には仕事関数の小さな材料(例えば、金)が採用され、表面電極7の膜厚は10~15nmに設定されている。バス電極25は、抵抗が低く加工が容易な材料(例えば、アルミニウムや銅など)で形成されている。実施の形態23では、絶縁性基板11が基板を構成している。

図32~図34に示すように、この電子源10は、ドリフト部6aが直方体状に形成され、このドリフト部6aの、バス電極25の長手方向に沿った辺6c(バス電極25に平行な辺6c)の近傍を覆う金属層18が設けられている点に特徴がある。

実施の形態23では、金属層7の厚みを、ドリフト部6aをドリフトする電子の平均自由行程より大きく設定すれば、電子の通過を防止することができる。金属層18の材料としては、例えば金を用いることができる。金を用いれば、金属層18の低抵抗化を図ることができ、かつ表面電極7及びバス電極25との良好な密着性を実現することができる。金属層18は、強電界ドリフト層6の上でドリフト部6aの周部からの電子放出を抑制する電子放出抑制部を構成している。ここでは、金属層18の材料として金を用いられているが、金属層18の材料は金に限定されるものではない。

実施の形態23にかかる電子源10では、図54に示す従来の電子源10と同様に、複数の配線8aと複数の表面電極7との間にドリフト部6aが挟まれているので、バス電極25と配線8aとの組を適宜選択し、選択した組間に電圧を印加すれば、選択されたバス電極25において配線8aとの交点に対応する部位に近接した表面電極7下のドリフト部6aにのみ強電界が作用し、電子が放出さ

れる。つまり、電圧を印加するバス電極 25 と配線 8 a との組を選択することによって、所望の格子点から電子を放出させることができる。バス電極 25 と配線 8 a との間に印加される電圧は 10 ～ 20 V 程度である。配線 8 a は短冊状に形成され、その長手方向の両端部上にそれぞれパッド 27 が形成されている。バス電極 25 は、その長手方向の両端部でそれぞれパッド 28 に接続されている。

実施の形態 23 にかかる電子源 10 の基本動作は、図 46 ないしは図 47 に示す従来の電子源 10' の場合とほぼ同一であるので、その詳しい説明は省略する。また、電子源 10 における電子の放出過程ないしはドリフト層 6 (ドリフト部 6 a) のマイクロ構造も、従来の電子源 10'、10'' の場合とほぼ同一であるので (図 45 参照)、その詳しい説明は省略する。

実施の形態 23 にかかる電子源 10 においては、ドリフト部 6 a の、バス電極 25 の長手方向に沿った辺 6 c の近傍を覆う金属層 18 が設けられているので、金属層 18 の厚みを電子の平均自由工程よりも大きくすることにより、ドリフト部 6 a の周部のうち金属層 18 下の部位を通して電子が放出されるのを防止することができる。したがって、ディスプレイに利用した場合のにじみの発生を防止することができ、高精細なディスプレイを実現することができる。また、隣り合うドリフト部 6 a 間が分離部 6 b により絶縁されているので、隣り合うドリフト部 6 a の間の部位を通して電子が放出されるといったクロストークの発生を防止することができる。実施の形態 23 にかかる電子源 10 では、図 43 に示す従来の電子源 10' と同様に、電子放出特性の真真空度依存性が小さくなる。かつ、電子放出時にポッピング現象が発生せず、安定した電子を高い電子放出効率で放出することができる。

(実施の形態 24)

以下、本発明の実施の形態 24 を説明する。

図 35 及び図 36 に示すように、実施形態 24 にかかる電子源 10 の基本構成は、実施の形態 23 にかかる電子源 10 とほぼ同一であるが、金属層 18 がドリフト部 6 a の周部を全周にわたって覆っている点が相違する。すなわち、実施の形態 24 では、金属層 18 が、ドリフト部 6 a の、バス電極 25 に平行な辺 6 c、6 c 及びバス電極 25 と直交する辺 6 d、6 d 全ての近傍を覆う矩形枠状に形成

されている。金属層 18 は、ドリフト層 6 の上でドリフト部 6 a の周部からの電子放出を抑制する電子放出抑制部を構成している。その他の点については、実施の形態 23 と同一であるので、説明を省略する。

かくして、実施の形態 24 にかかる電子源 10 では、実施の形態 23 にかかる電子源 10 と同様に、金属層 18 の厚みを電子の平均自由工程よりも大きくすることにより、ドリフト部 6 a の周部のうち金属層 18 下の部位を通して電子が放出されるのを防止することができる。これにより、ディスプレイに利用した場合のにじみの発生を防止することができ、高精細なディスプレイを実現することができる。実施の形態 24 にかかる電子源 10 では、ドリフト部 6 a の周部の全周にわたって電子放出を防止することができるので、実施の形態 23 に比べて、より高精細なディスプレイを実現することができる。実施の形態 23 にかかる電子源 10 を利用したディスプレイにおいて、高精細化を進めて画素のサイズを小さくしていくと、配線 8 a の配列方向におけるドリフト部 6 a の両端部から放出される電子の影響によるにじみが無視できなくなる。しかし、実施の形態 24 にかかる電子源 10 では、ドリフト部 6 a の、配線 8 a の長手方向に沿った辺 6 d の近傍も金属層 18 によって覆われているので、配線 8 a の配列方向におけるドリフト部 6 a の両端部からの電子の放出を防止することができ、実施の形態 23 に比べて、より一層の高精細化を図ることができる。

(実施の形態 25)

以下、本発明の実施の形態 25 を説明する。

図 37 及び図 38 に示すように、実施の形態 25 にかかる電子源 10 の基本構成は、実施の形態 23 にかかる電子源 10 とほぼ同一であるが、バス電極 25 の一部が、ドリフト部 6 a の、バス電極 25 の長手方向に沿った辺 6 c 及び表面電極 7 の端部に重なるように形成されている点が相違する。実施の形態 25 では、実施の形態 23 における金属層 18 (図 32 参照) は設けられず、実施の形態 23 における電子放出抑制部がバス電極 25 の一部によって構成されている。バス電極 25 は電子をトンネルさせる必要がないので、ドリフト部 6 a をドリフトする電子の平均自由工程よりも大きい厚さに設定することができる。その他の点については、実施の形態 23 と同一であるので、説明を省略する。

かくして、実施の形態 25 にかかる電子源 10 では、電子放出抑制部がバス電極 25 の一部からなるので、バス電極 25 の厚みを電子の平均自由工程よりも大きくすることにより、バス電極 25 によってドリフト部 6a の周部からの電子放出を防止することができる。このため、ディスプレイに利用した場合のにじみの発生を防止することができ、高精細なディスプレイを実現することができる。実施の形態 25 にかかる電子源 10 では、実施の形態 23 又は実施の形態 24 のように金属層 18 を設ける電子源 10 に比べて、金属層 18 を重複させる部分が必要とされない。このため、表面電極 7 における電子放出面積を等しくしつつ、表面電極 7 のサイズを小さくすることができ、画素のサイズを小型化することができる。

(実施の形態 26)

以下、本発明の実施の形態 26 を説明する。

図 39 に示すように、実施の形態 26 にかかる電子源 10 は、ガラス基板からなる絶縁性基板 11 と、絶縁性基板 11 の一表面上に配列された複数の導電性層 (例えば、クロム膜などの金属膜や ITO 膜など) からなる配線 8a と、配線 8a に重なるように形成された複数の酸化された多孔質多結晶シリコン層からなるドリフト部 6a と該ドリフト部 6a の間を埋めるノンドープの多結晶シリコン層からなる分離部 6b とを有するドリフト層 6 と、各ドリフト部 6a を介してそれぞれ配線 8a に対向し配線 8a と交差する方向及び配線 8a の延長方向に配列された複数の表面電極 7 と、ドリフト層 6 の上で配線 8a と交差する方向に配列された複数の表面電極 7 を各列ごとに共通接続する複数のバス電極 25 とを備えている。バス電極 25 は、ドリフト部 6a 及び分離部 6b に跨って配線 8a と交差する方向に配列されている。配線 8a は短冊状に形成され、その長手方向の両端部上にそれぞれパッド 27 が形成されている。バス電極 25 は、その長手方向の両端部でそれぞれパッド 28 に接続されている。

表面電極 7 は、仕事関数の小さな材料 (例えば、金) で形成され、表面電極 7 の膜厚は 10 ~ 15 nm に設定されている。バス電極 25 は、抵抗が低く加工が容易な材料 (例えば、アルミニウムや銅など) で形成されている。バス電極 25 は電子をトンネルさせる必要がないので、表面電極 7 に比べて膜厚を厚くするこ

とができ、低抵抗化を図ることができる。絶縁性基板 11 は基板を構成している。

実施の形態 26 にかかる電子源 10 では、複数の配線 8a と複数の表面電極 7 との間にドリフト層 6 のドリフト部 6a が挟まれているので、バス電極 25 と配線 8a との組を適宜選択し、選択した組間に電圧を印加すれば、選択されたバス電極 25 において配線 8a との交点に対応する部位に近接した表面電極 7 下のドリフト部 6a にのみ強電界が作用し、電子が放出される。つまり、電圧を印加するバス電極 25 と配線 8a との組を選択することにより、所望の格子点から電子を放出させることができる。バス電極 25 と配線 8a との間に印加される電圧は 10～20V 程度である。

実施の形態 26 にかかる電子源 10 の基本動作は、図 46 ないしは図 47 に示す従来の電子源 10” の場合とほぼ同一であるので、その詳しい説明は省略する。また、電子源 10 における電子の放出過程ないしはドリフト層 6（ドリフト部 6a）のミクロ構造も、従来の電子源 10’、10” の場合とほぼ同一であるので（図 45 参照）、その詳しい説明は省略する。

ところで、図 54 に示す従来の電子源 10” では、配線 8a の延長方向においてドリフト部 6a が配列され隣り合うドリフト部 6a の間に分離部 6b が介在している。これに対して、実施の形態 26 にかかる電子源 10 では、配線 8a の延長方向においてドリフト部 6a が連続して形成されている点に特徴がある。すなわち、実施の形態 26 では、配線 8a に重なるように形成されたドリフト部 6a が配線 8a の延長方向に延長され、配線 8a と交差する方向において隣り合う配線 8a 及び隣り合うドリフト部 6a が分離部 6b により分離されている。

実施の形態 26 では、配線 8a の延長方向においてドリフト部 6a が連続して形成されているので、図 54 に示す従来の電子源 10” のように配線 8a の延長方向においてドリフト部 6a と分離部 6b とが交互に形成されている場合に比べて、配線 8a の延長方向において配列されて隣り合う表面電極 7 間の間隔を図 40 に示すように短くすることができる。このため、上記従来の電子源 10” をディスプレイの電子源として利用する場合に比べて、フェースプレート側の画素の間隔を短くすることができ、高精細なディスプレイの電子源として利用することが可能となる。また、実施の形態 26 にかかる電子源 10 では、図 43 に示す従

来の電子源 10' と同様に、電子放出特性の真空度依存性が小さくなる。かつ、電子放出時にホッピング現象が発生せず、安定して電子を高い電子放出効率で放出することができる。

(実施の形態 27)

5 以下、本発明の実施の形態 27 を説明する。

図 41 に示すように、実施の形態 27 にかかる電子源 10 の基本構成は、実施の形態 26 にかかる電子源 10 とほぼ同一であるが、各表面電極 7 が同一のパッド 28 に共通接続された 2 本のバス電極 25 に挟まれている点が相違する。すなわち、実施の形態 27 では、各表面電極 7 が、配線 8a の延長方向（図 42 の左右方向）における両側で、それぞれバス電極 25 に接続されている。バス電極 25 の厚みは、電子の平均自由行程よりも大きく設定されている。その他の点については、実施の形態 26 と同一であるので、説明を省略する。

10 実施の形態 27 では、実施の形態 26 と同様に配線 8a の延長方向においてドリフト部 6a が連続して形成されている。このため、図 54 に示す従来の電子源 10'' ように配線 8a の延長方向においてドリフト部 6a と分離部 6b とが交互に形成されている場合に比べて、配線 8a の延長方向において配列されて隣り合う表面電極 7 間の間隔を、図 42 に示すように短くすることができる。このため、上記従来の電子源 10'' をディスプレイの電子源として利用する場合に比べて、フェースプレート側の画素の間隔を短くすることができ、高精細なディスプレイの電子源として利用することが可能となる。また、バス電極 25 下のドリフト部 6a を通して電子が放出されるのを防止することができ、電子が放出される部位の面積が表面電極 7 の表面積よりも大きくなるのを防止することができる。

20 ところで、実施の形態 20～27 では、導電性基板としてガラス基板からなる絶縁性基板 11 の一表面側に導電性層 8 が形成されたものが用いられている。しかし、導電性基板として、クロムなどの金属基板を用いてもよい。また、半導体基板（例えば、抵抗率が導体の抵抗率に比較的近い n 形シリコン基板や、一表面側に導電性層として n 形領域が形成された p 形シリコン基板など）などを用いてもよい。絶縁性基板 11 も、ガラス基板の他にセラミック基板などを用いることができる。

実施の形態 20～27では、表面電極 7 の材料として金が用いられている。しかし、表面電極 7 の材料は金に限定されるものではなく、例えば、アルミニウム、クロム、タングステン、ニッケル、白金などを用いてもよい。また、表面電極 7 を厚み方向に積層された少なくとも 2 層の薄膜層で構成してもよい。表面電極 7 を 2 層の薄膜層で構成する場合、上層の薄膜層の材料として、例えば金などを用い、下層の薄膜層（強電界ドリフト層 6 側の薄膜層）の材料として、例えば、クロム、ニッケル、白金、チタン、イリジウムなどを用いることができる。

実施の形態 20～27では、ドリフト層 6 のドリフト部 6 a は、酸化された多孔質多結晶シリコン層で形成されている。しかし、ドリフト部 6 a を窒化又は酸窒化した多孔質多結晶シリコン層で形成してもよい。また、多孔質多結晶シリコン層以外の多孔質半導体層を酸化、窒化又は酸窒化したもので形成してもよい。ドリフト部 6 a を窒化した多孔質多結晶シリコン層とする場合は、図 45 における各シリコン酸化膜 5 2、6 4 はいずれもシリコン窒化膜となる。ドリフト部 6 a を酸窒化した多孔質多結晶シリコン層とする場合は、図 45 における各シリコン酸化膜 5 2、6 4 はいずれもシリコン酸窒化膜となる。

前記いずれの実施の形態においても、p 層、n 層の成膜ないしは形成には、成膜時におけるドーピング、i 層へのイオン注入、i 層への不純物拡散、p、n アモルファス層の加熱の加熱による結晶化、i アモルファス層へのイオン注入及び加熱による結晶化、半導体基板への不純物のドーピング等を用いることができる。

また、前記いずれの実施の形態においても、電子源 10 に直流電圧 V_{ps} 、 V_c を印加している。しかし、交流電圧を印加した場合でも、コレクタ電極ないしは表面電極が下部電極に対して正極となっているときには、電子を放出させることができるのはもちろんである。

以上、本発明は、その特定の実施の形態に関連して説明されてきたが、このほか多数の変形例及び修正例が可能であるということは当業者にとっては自明なことであろう。それゆえ、本発明は、このような実施の形態によって限定されるものではなく、添付のクレームによって限定されるべきものである。

産業上の利用の可能性

以上のように、本発明にかかる電界放射型電子源は、とくに単位面積当たりの電子放出面積を低下させることなく消費電力を低減し、かつその信頼性を高めるのに有用であり、平面光源、フラットディスプレイ素子、固体真空デバイス等の電子源として用いるのに適している。

請求の範囲

1. 基板と、基板の一表面上に形成された導電性層と、導電性層上に形成された半導体層と、該半導体層の表面側に形成され酸化又は窒化された多孔質半導体層からなるドリフト部を有する強電界ドリフト層と、強電界ドリフト層上に形成された表面電極とを備えていて、表面電極が導電性層に対して正極となるように電圧を印加することにより、導電性層から強電界ドリフト層に注入された電子が強電界ドリフト層をドリフトし、表面電極を通して放出されるようになっている電界放射型電子源であって、
- 5 導電性層と、表面電極と、導電性層とドリフト部との間の部分と、表面電極とドリフト部との間の部分とのうちの少なくとも1つに、ドリフト部を流れる電流中の電子放出に寄与しない電流を抑制する電流抑制部材が設けられている電界放射型電子源。
- 10 2. 上記電流抑制部材が、導電性層から表面電極に電流がリークするのを防止して電力消費量を低減するリーク電流防止部材である請求項1に記載の電界放射型電子源。
- 15 3. 上記リーク電流防止部材が、pn接合を有する半導体層である請求項2に記載の電界放射型電子源。
4. 上記リーク電流防止部材が、導電性層側のn層と表面電極側のp層とを備えた半導体層である請求項2に記載の電界放射型電子源。
- 20 5. 上記リーク電流防止部材が、導電性層側のn層と表面電極側のp層とを備えた半導体層であって、p層とドリフト部との間に低濃度半導体層が形成されている請求項2に記載の電界放射型電子源。
6. 上記基板が半導体基板であり、導電性層が基板側のn層と表面電極側のp層とを備えている請求項2に記載の電界放射型電子源。
- 25 7. 上記p層と上記n層との間にi層が設けられている請求項4に記載の電界放射型電子源。
8. 上記表面電極が、ドリフト部とショットキ接合する材料で形成されている請求項2に記載の電界放射型電子源。

9. 上記導電性層とドリフト部との間に低濃度半導体層が設けられ、導電性層が低濃度半導体層とショットキ接合する材料で形成されている請求項2に記載の電界放射型電子源。

10. 上記強電界ドリフト層に、隣り合うドリフト部同士を分離する分離部が設けられていて、

上記電流抑制部材が、ドリフト部の、分離部との境界近傍部の電界強度を、ドリフト部の中央部の電界強度よりも小さくして消費電力を低減する電界緩和部材である請求項1に記載の電界放射型電子源。

11. 上記電界緩和部材が、上記境界近傍部に対応する位置において、ドリフト部と表面電極との間に介設された絶縁膜である請求項10に記載の電界放射型電子源。

12. 上記電界緩和部材が、上記境界近傍部に対応する位置において、導電性層上に配設された絶縁膜である請求項10に記載の電界放射型電子源。

13. 上記電界緩和部材が、上記境界近傍部に対応する位置においてドリフト部と導電性層との間に介設された高抵抗層と、ドリフト部の中央部に対応する位置においてドリフト部と導電性層との間に介設された低抵抗層とで形成されている請求項10に記載の電界放射型電子源。

14. 上記電界緩和部材が、上記境界近傍部に対応する位置において表面電極に形成された切欠部である請求項10に記載の電界放射型電子源。

15. 上記電界緩和部材が、上記境界近傍部に対応する位置において導電性層に形成された切欠部である請求項10に記載の電界放射型電子源。

16. 上記電流抑制部材が、強電界ドリフト層と表面電極との間に配置され、強電界ドリフト層の電界強度を緩和して消費電力を低減する電界緩和層である請求項1に記載の電界放射型電子源。

17. 上記電界緩和層が、窒化シリコン膜、又は窒化シリコン膜を含む多層膜である請求項16に記載の電界放射型電子源。

18. 上記電界緩和層が、窒化シリコン膜と、該窒化シリコン膜上に配置された酸化シリコン膜とで形成されている請求項16に記載の電界放射型電子源。

19. 上記電界緩和層が、酸化シリコン膜と、該酸化シリコン膜上に配置され

た窒化シリコン膜と、該窒化シリコン膜上に配置されたもう 1 つの酸化シリコン膜とで形成されている請求項 16 に記載の電界放射型電子源。

20. 上記電界緩和層が、表面電極との密着性が高い材料で形成されている請求項 16 に記載の電界放射型電子源。

5 21. 上記の密着性が高い材料が酸化クロム膜である請求項 20 に記載の電界放射型電子源。

22. 上記電界緩和層の抵抗値が、強電界ドリフト層の抵抗値と同じオーダーである請求項 16 に記載の電界放射型電子源。

23. 複数の表面電極を共通接続するバス電極を備えていて、
10 上記電流抑制部材が、表面電極とバス電極との間を流れる電流を制限して消費電力を低減する過電流保護要素である請求項 1 に記載の電界放射型電子源。

24. 上記過電流保護要素が、表面電極とバス電極との間を過電流が流れたときに断線する部材である請求項 23 に記載の電界放射型電子源。

25. 上記過電流保護要素が、表面電極とバス電極との間に配置された高抵抗層である請求項 23 に記載の電界放射型電子源。
15

26. 上記過電流保護要素が、表面電極とバス電極との間に配置された、抵抗温度係数が正の感温抵抗層である請求項 23 に記載の電界放射型電子源。

27. 上記電流抑制部材が、ドリフト部周部からの電子放出を抑制して消費電力を低減する電子放出抑制部材である請求項 1 に記載の電界放射型電子源。

20 28. 上記電流抑制部材が金属層である請求項 27 に記載の電界放射型電子源。

29. 上記金属層がドリフト部周辺に配置されている請求項 28 に記載の電界放射型電子源。

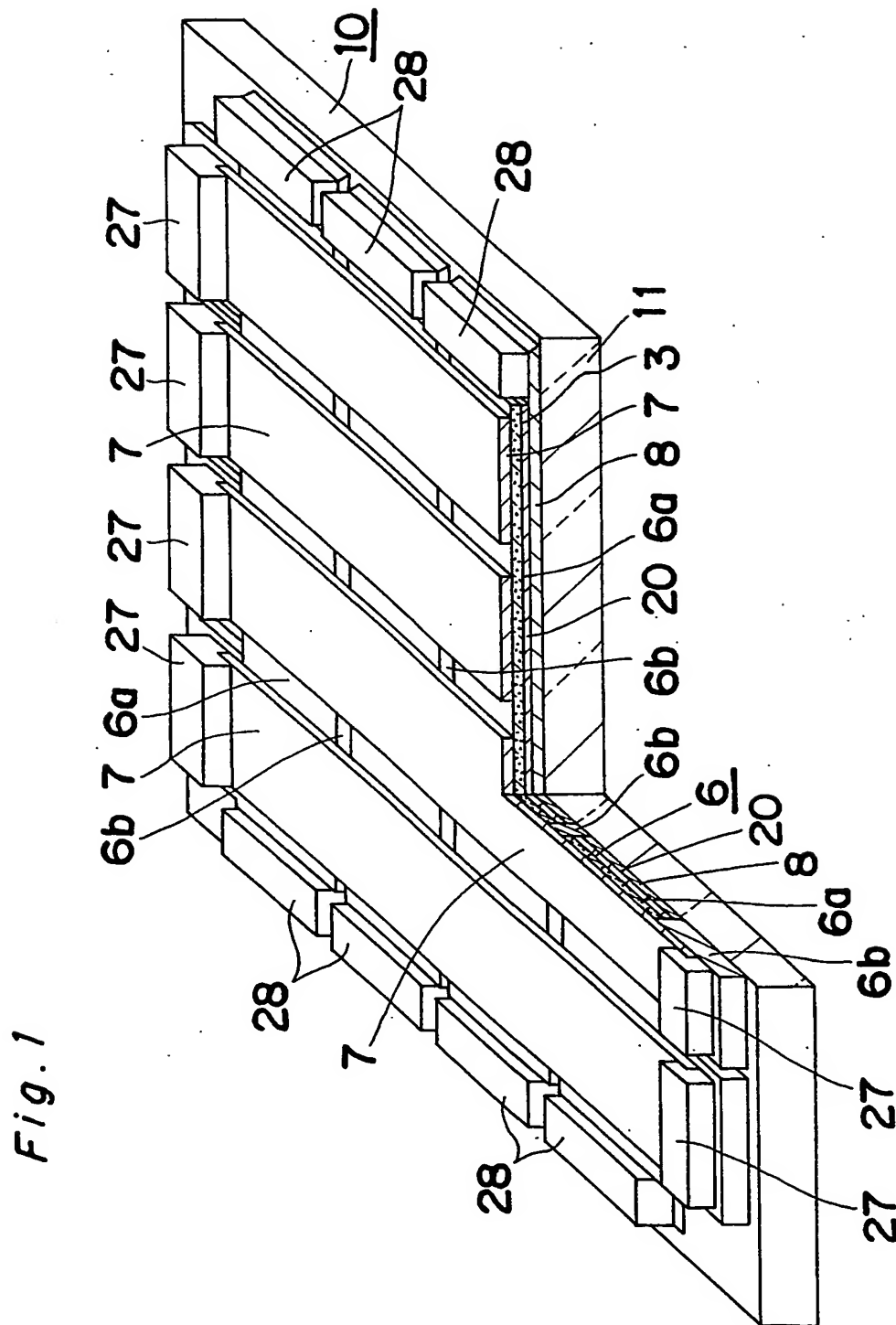
30. 複数の表面電極を共通接続するバス電極を備えていて、

25 該バス電極の一部が上記金属層として共用される請求項 28 に記載の電界放射型電子源。

31. 複数の表面電極を共通接続するバス電極を備えていて、

該バス電極が、画素の両側に配置されている請求項 27 に記載の電界放射型電子源。

1 / 35



2/35

Fig. 2A

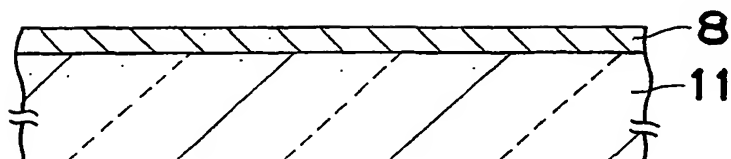


Fig. 2B

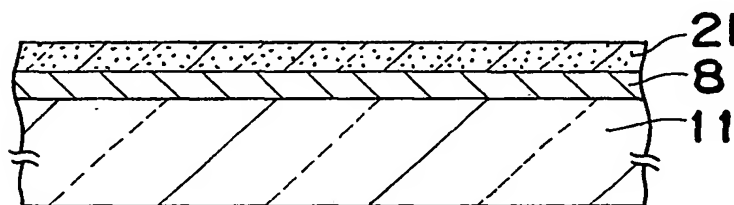


Fig. 2C

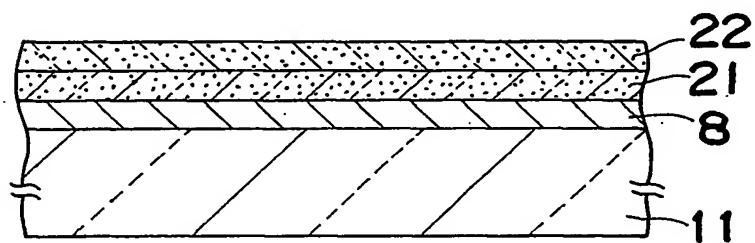


Fig. 2D

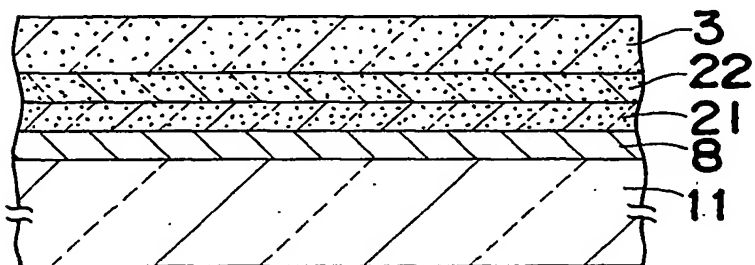
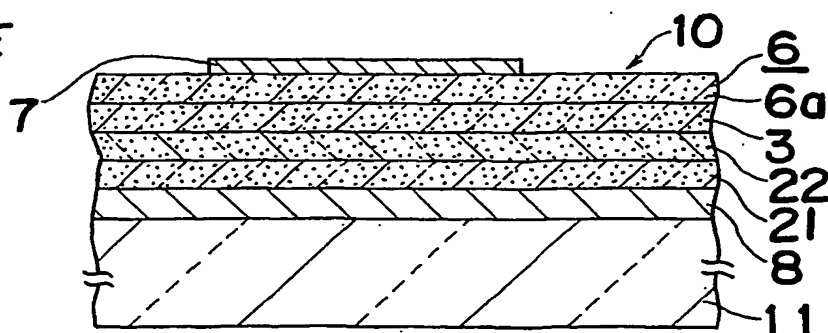


Fig. 2E



3/35

Fig. 3A

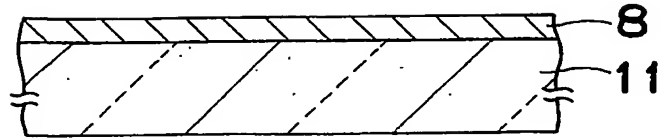


Fig. 3B

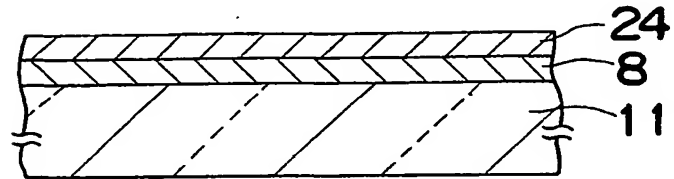


Fig. 3C

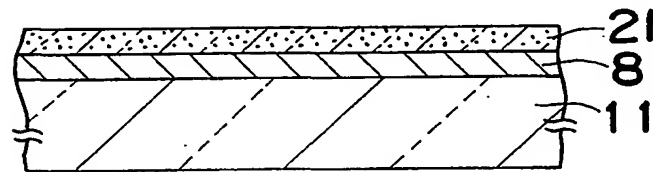


Fig. 3D

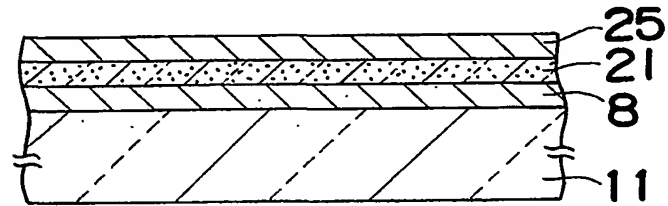


Fig. 3E

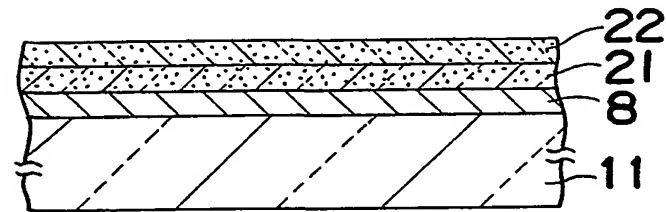


Fig. 3F

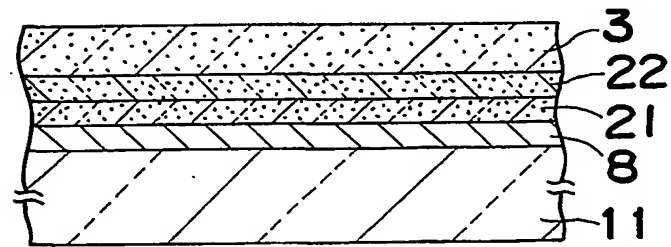
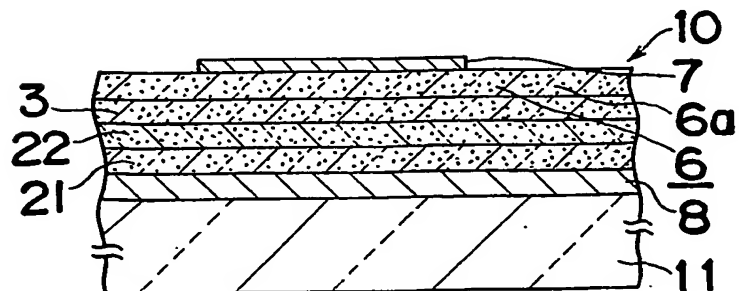


Fig. 3G



4/35

Fig. 4

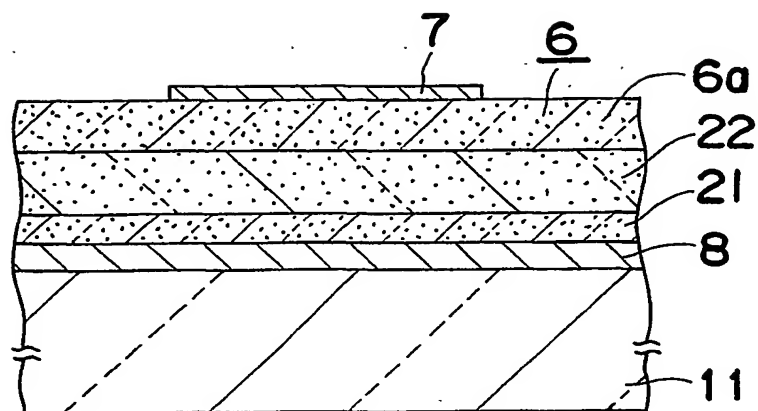


Fig. 5

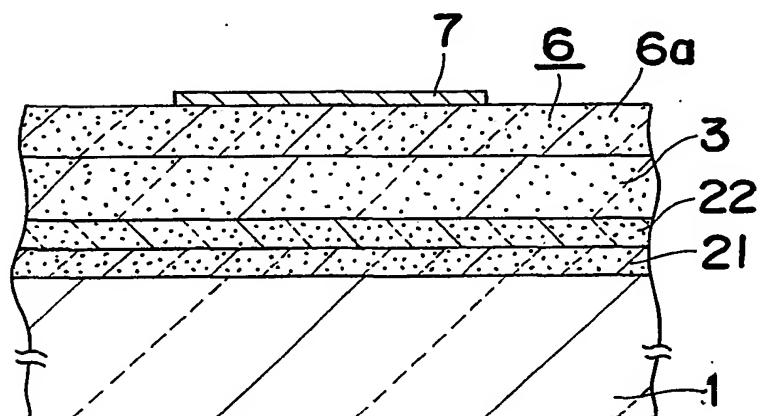
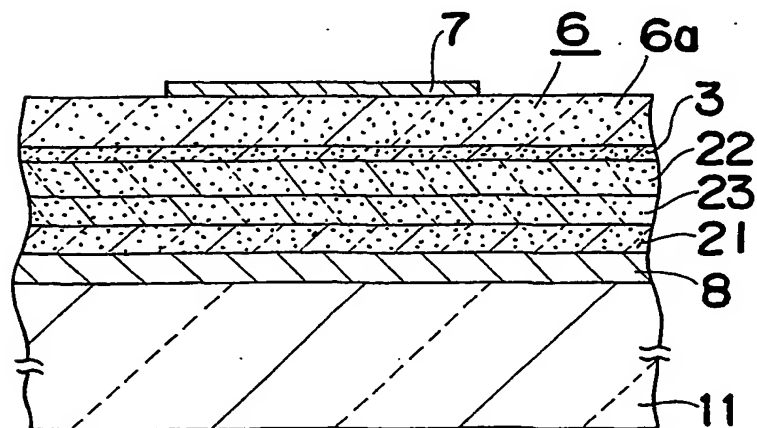


Fig. 6



5/35

Fig. 7

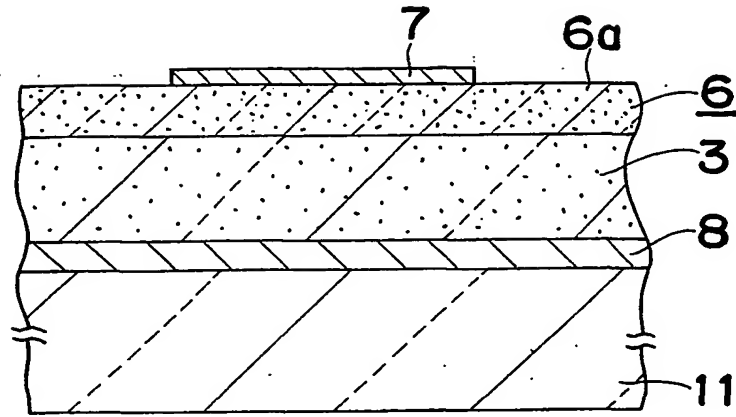


Fig. 8

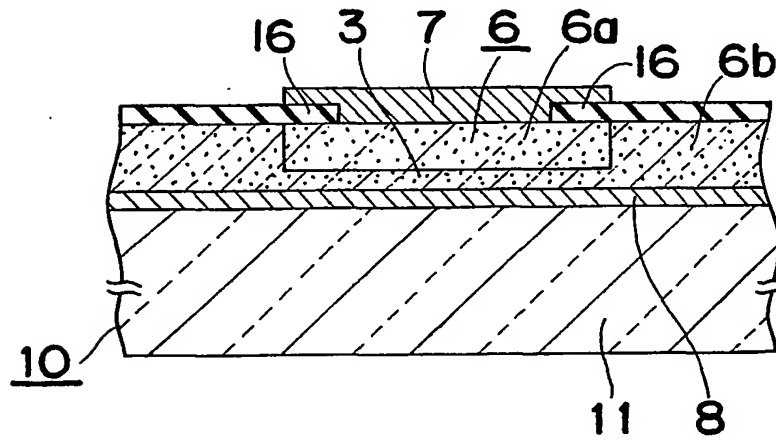
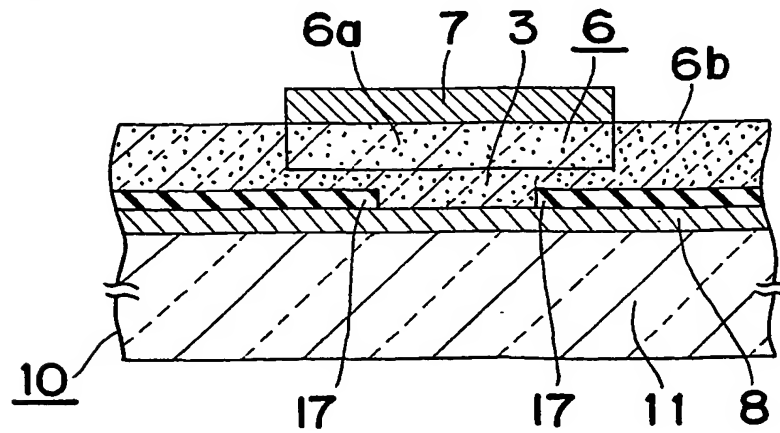


Fig. 9



6/35

Fig.10

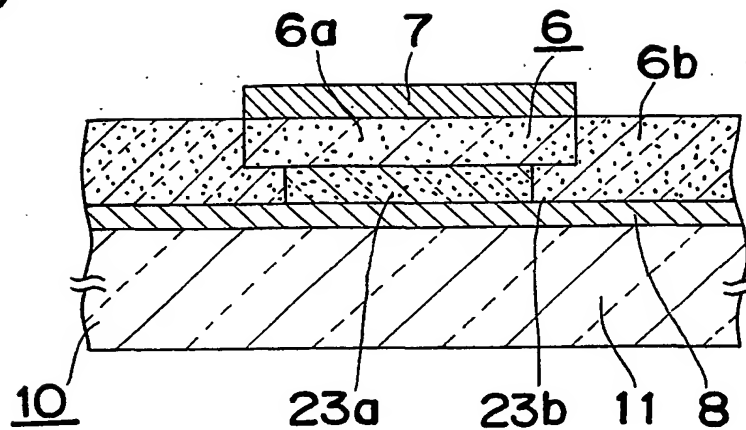


Fig.11

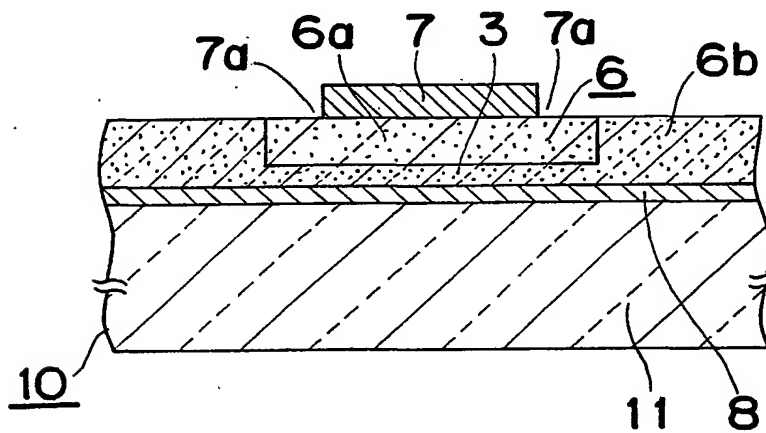
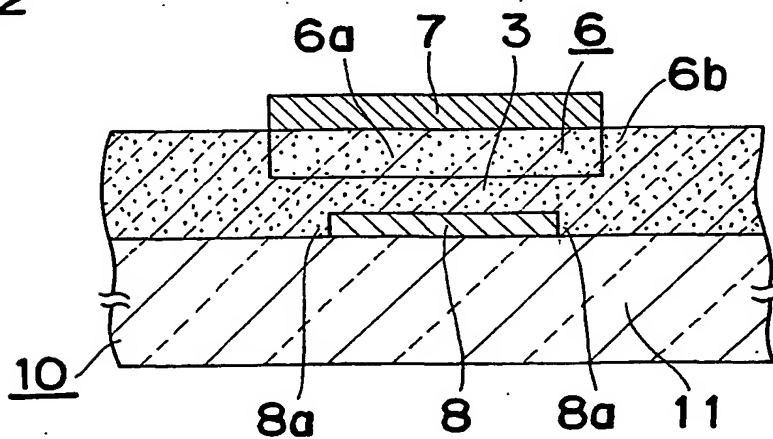
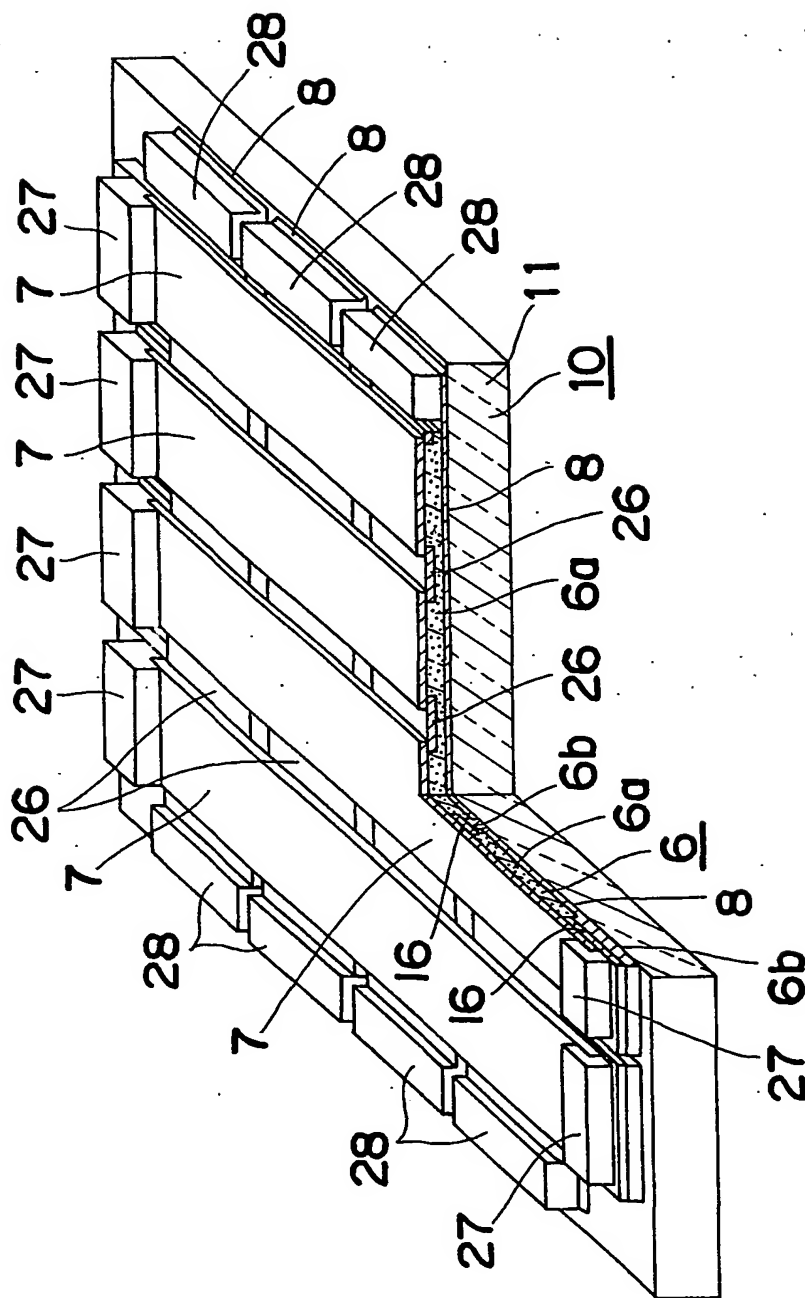


Fig.12



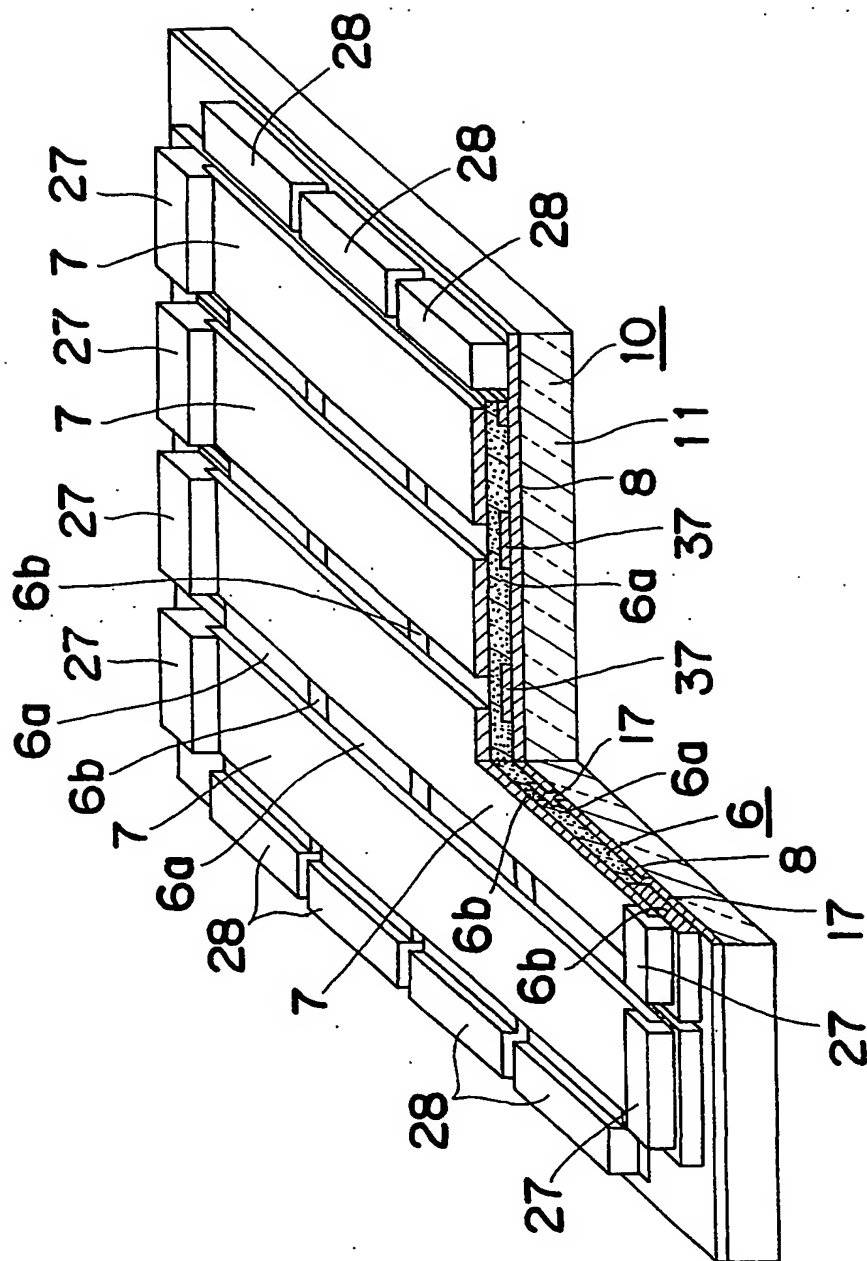
7/35

Fig. 13



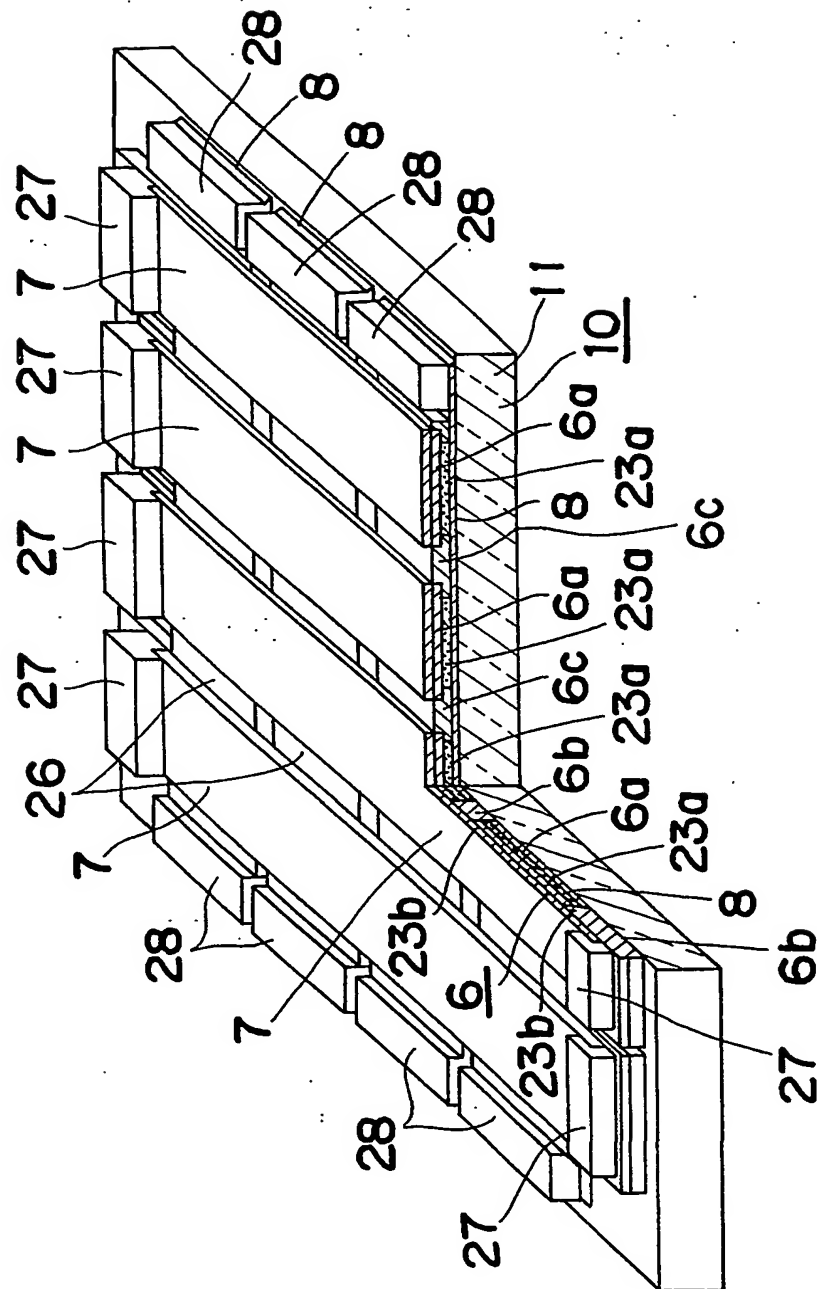
8/35

Fig. 14

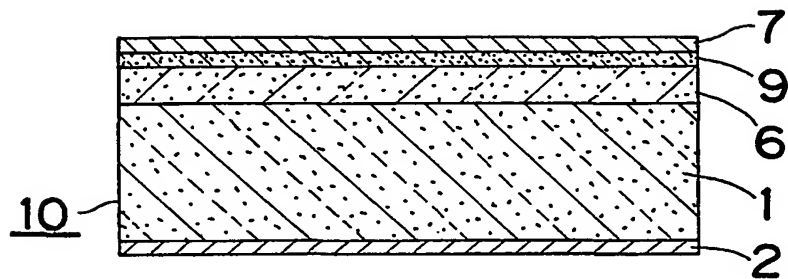
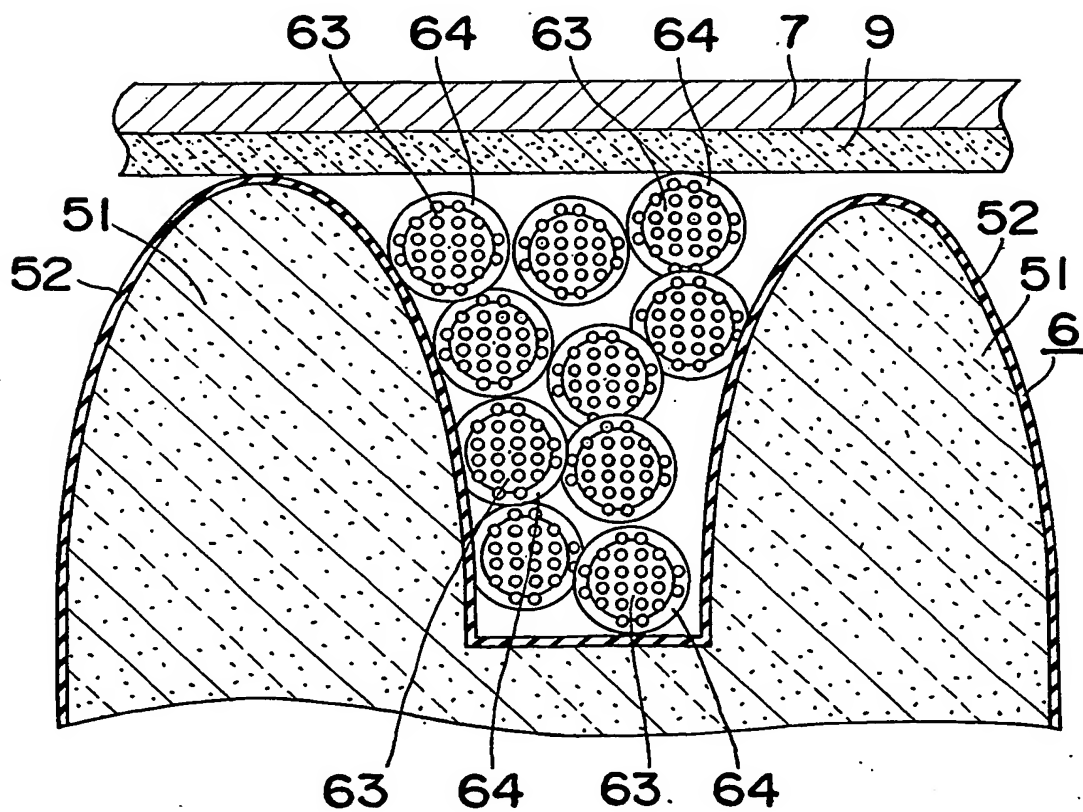


9/35

Fig. 15



10/35

Fig. 16A*Fig. 16B*

11/35

Fig. 17A

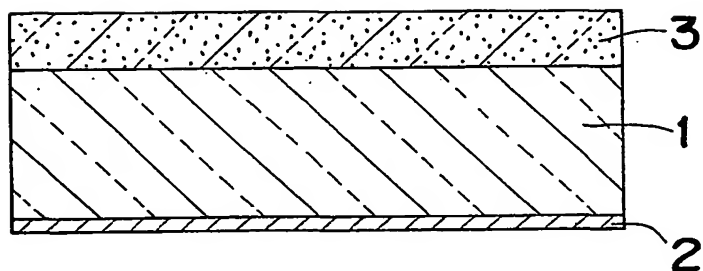


Fig. 17B

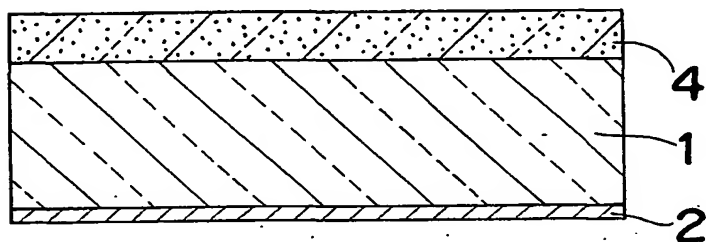


Fig. 17C

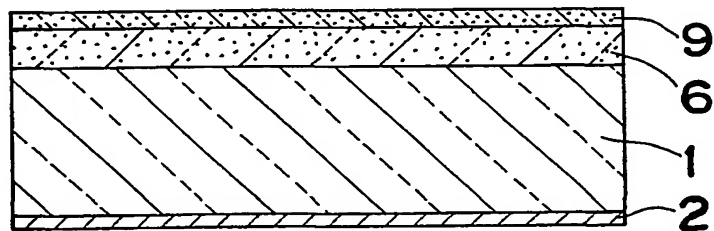


Fig. 17D

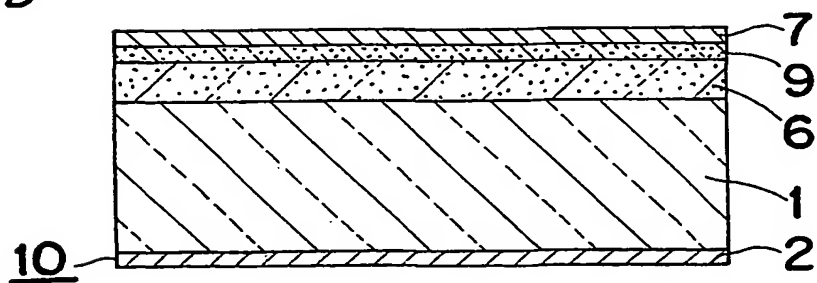
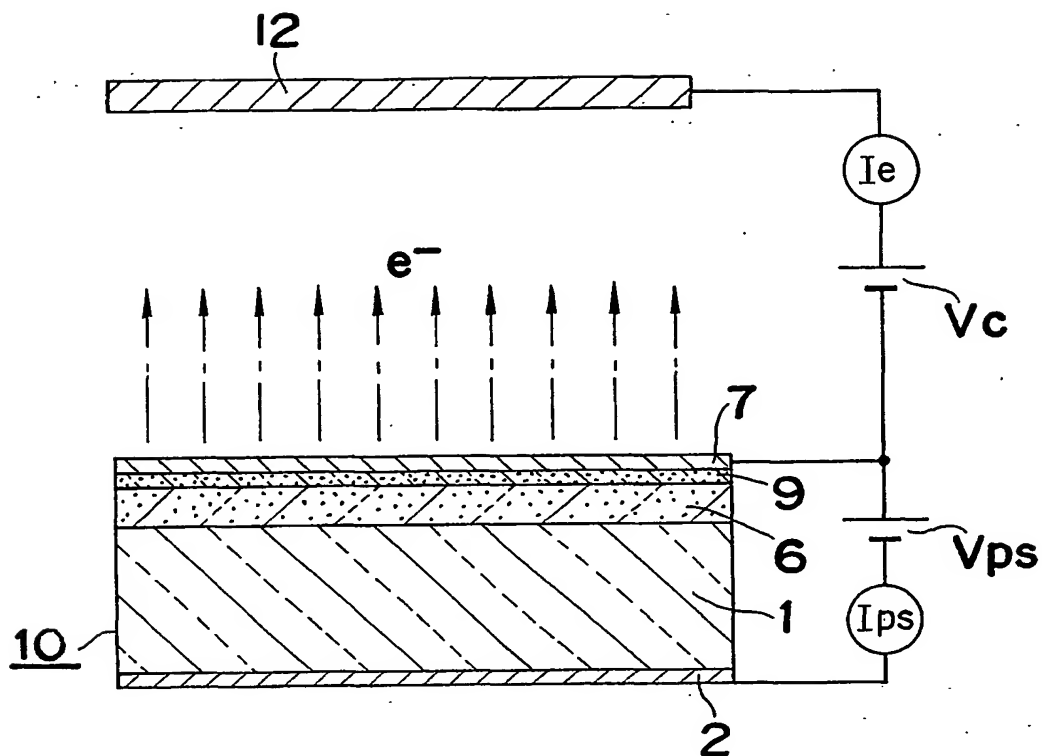
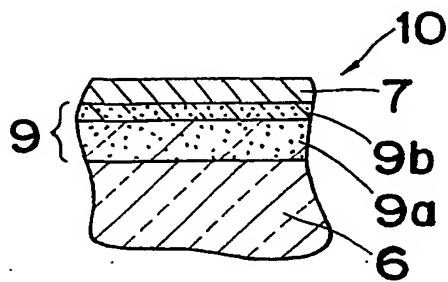
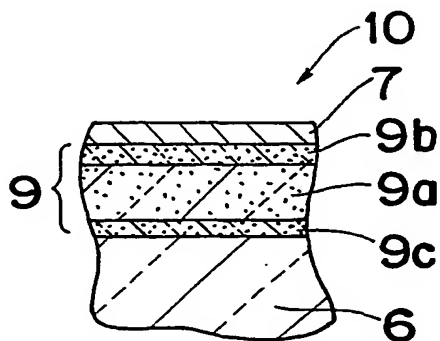
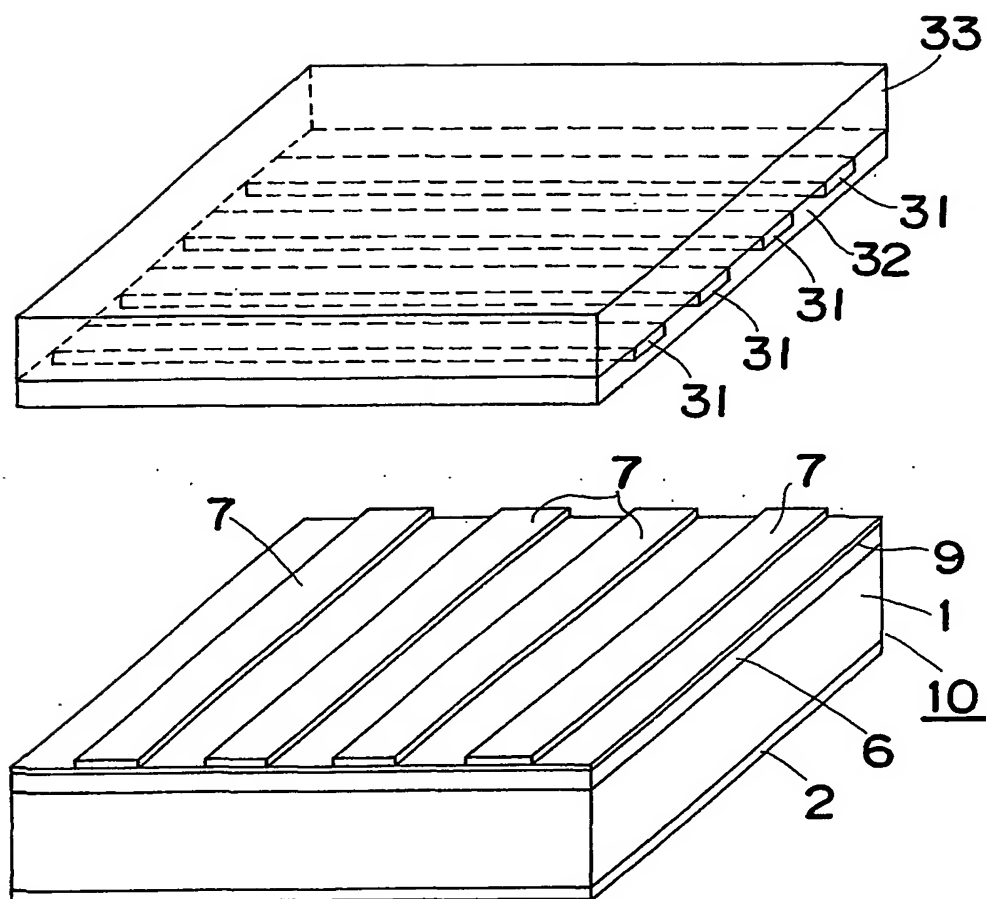


Fig. 18

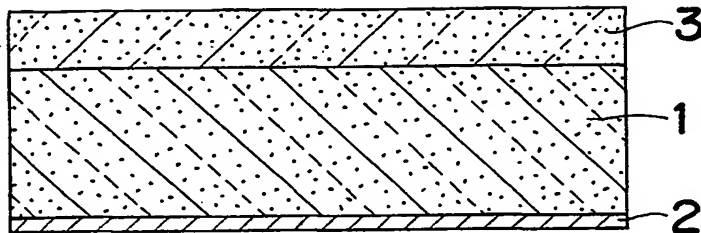
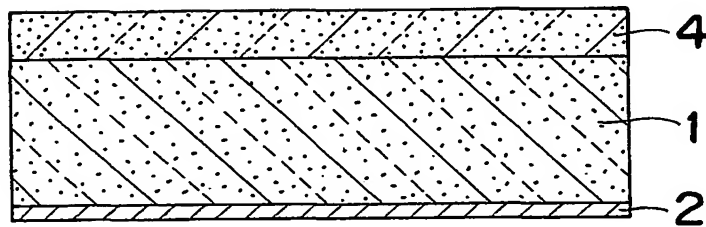
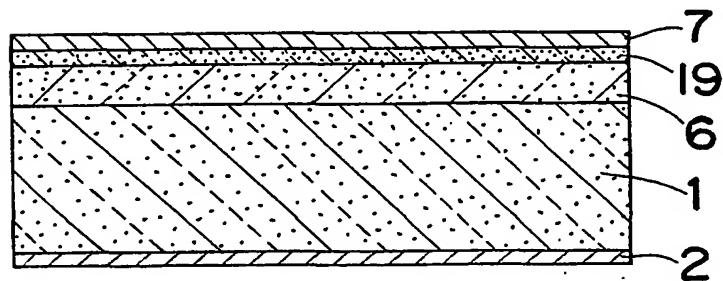
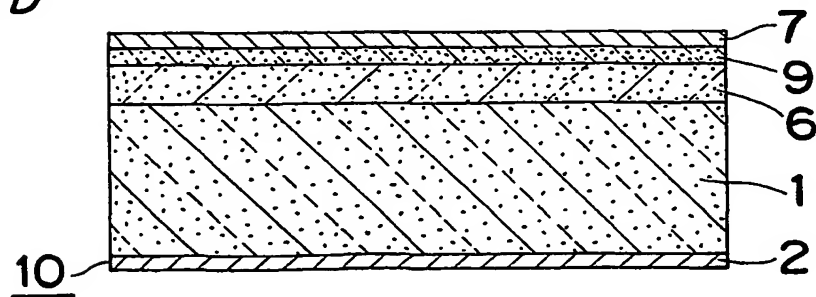
12/35

*Fig. 20**Fig. 21*

13/35

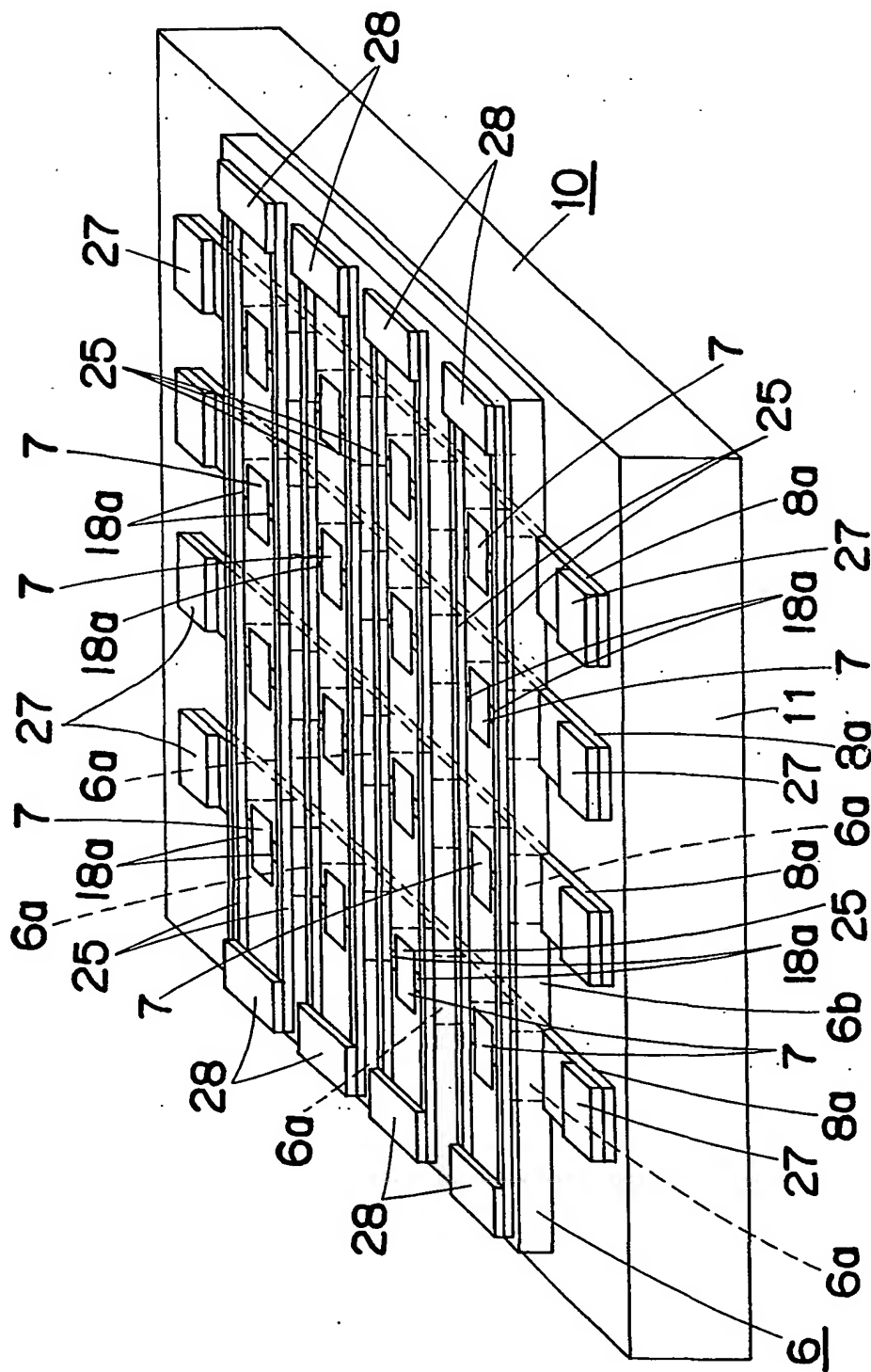
Fig. 19

14/35

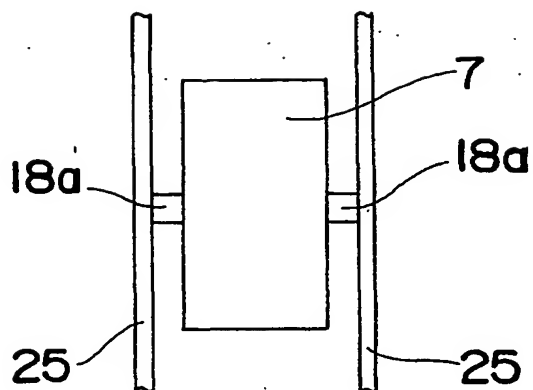
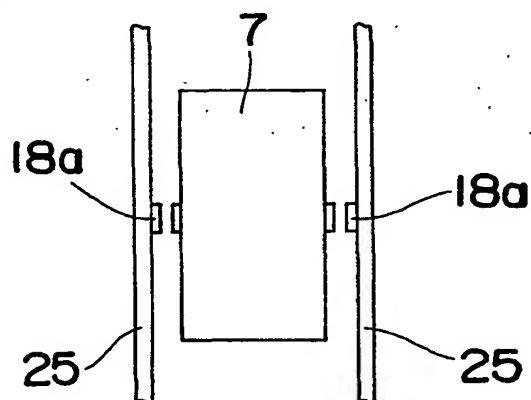
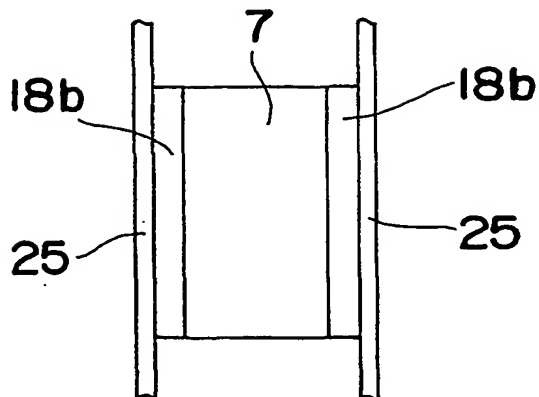
Fig. 22A*Fig. 22B**Fig. 22C**Fig. 22D*

15/35

Fig. 23

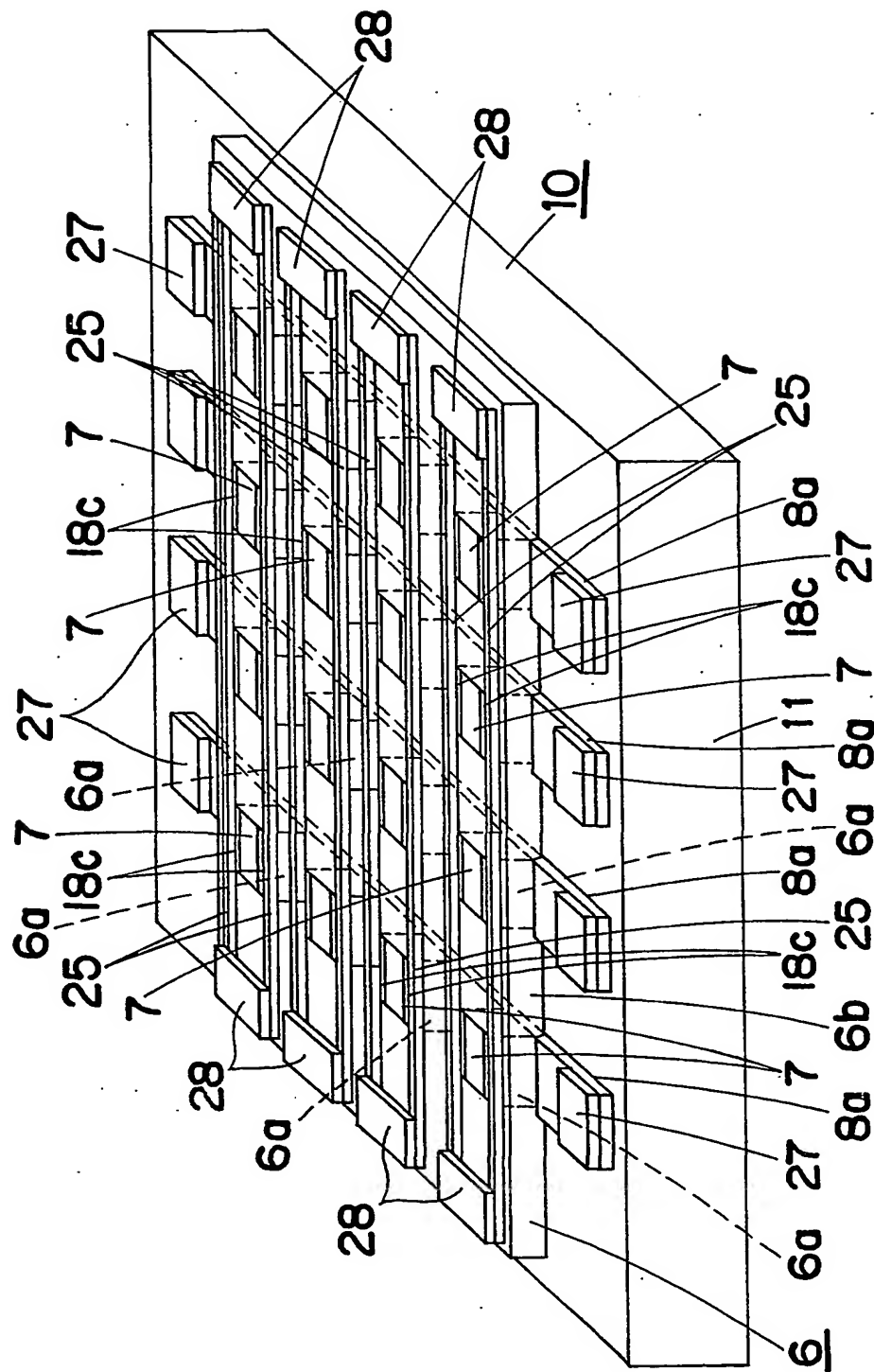


16/35

Fig. 24*Fig. 25**Fig. 27*

18/35

Fig. 28



19/35

Fig.29

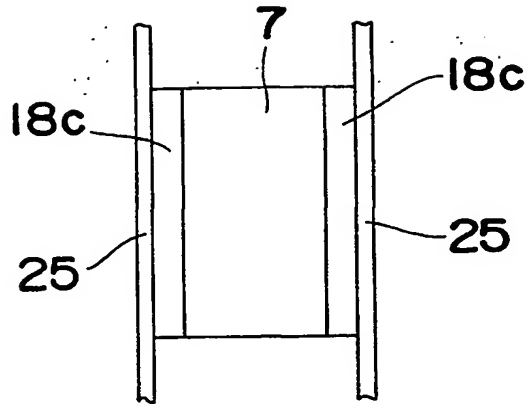


Fig.30

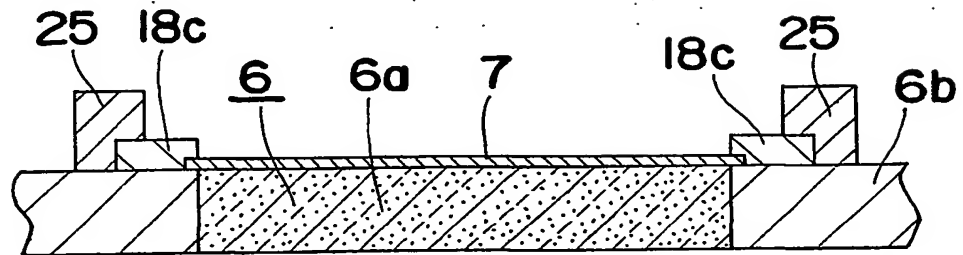


Fig.31

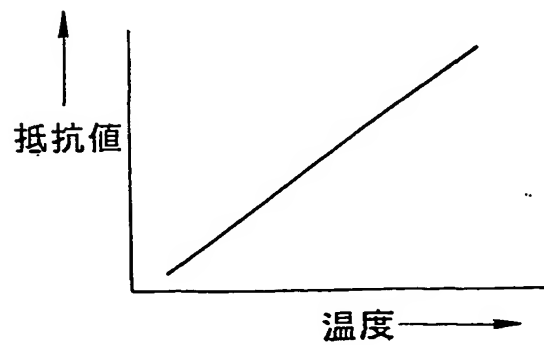
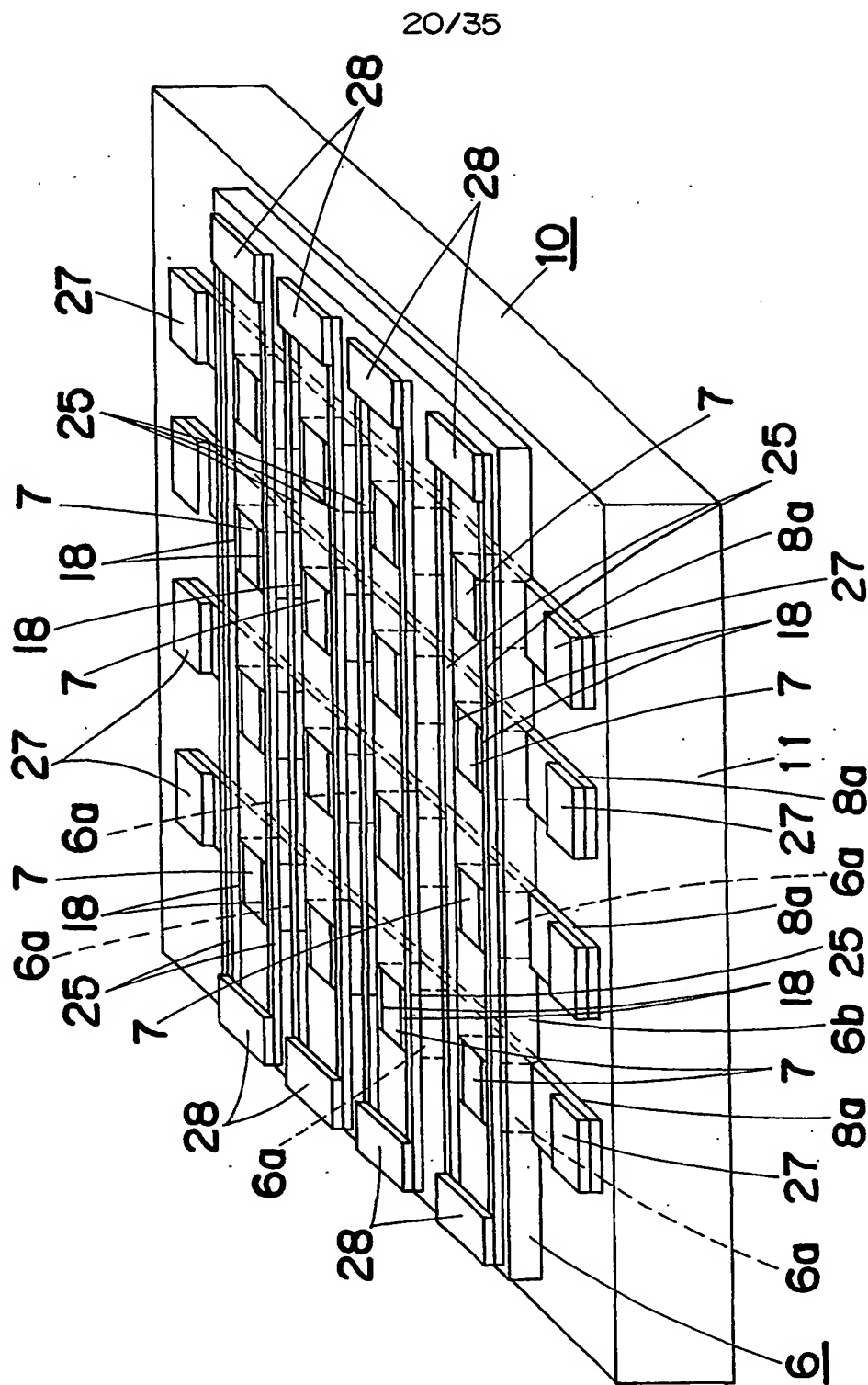
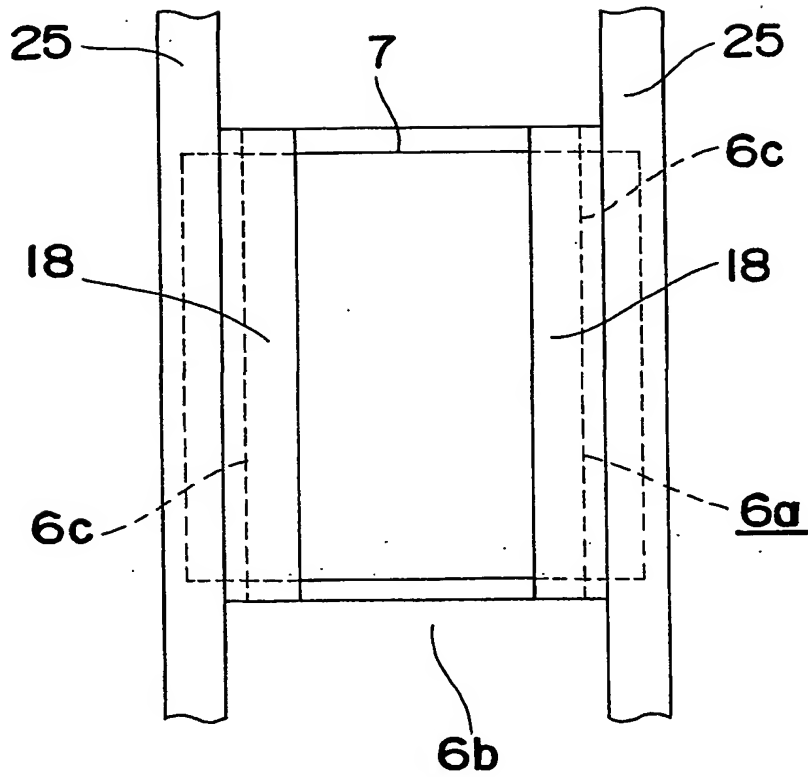
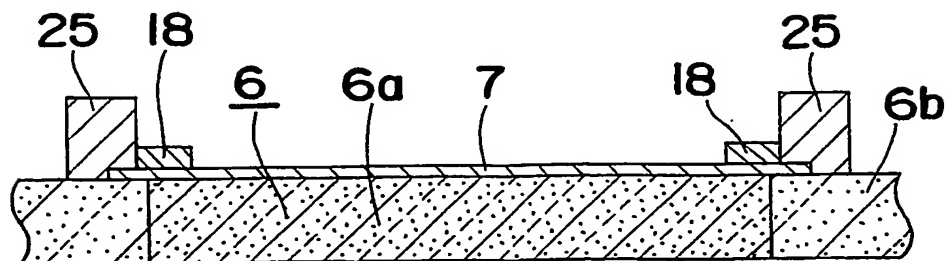


Fig. 32

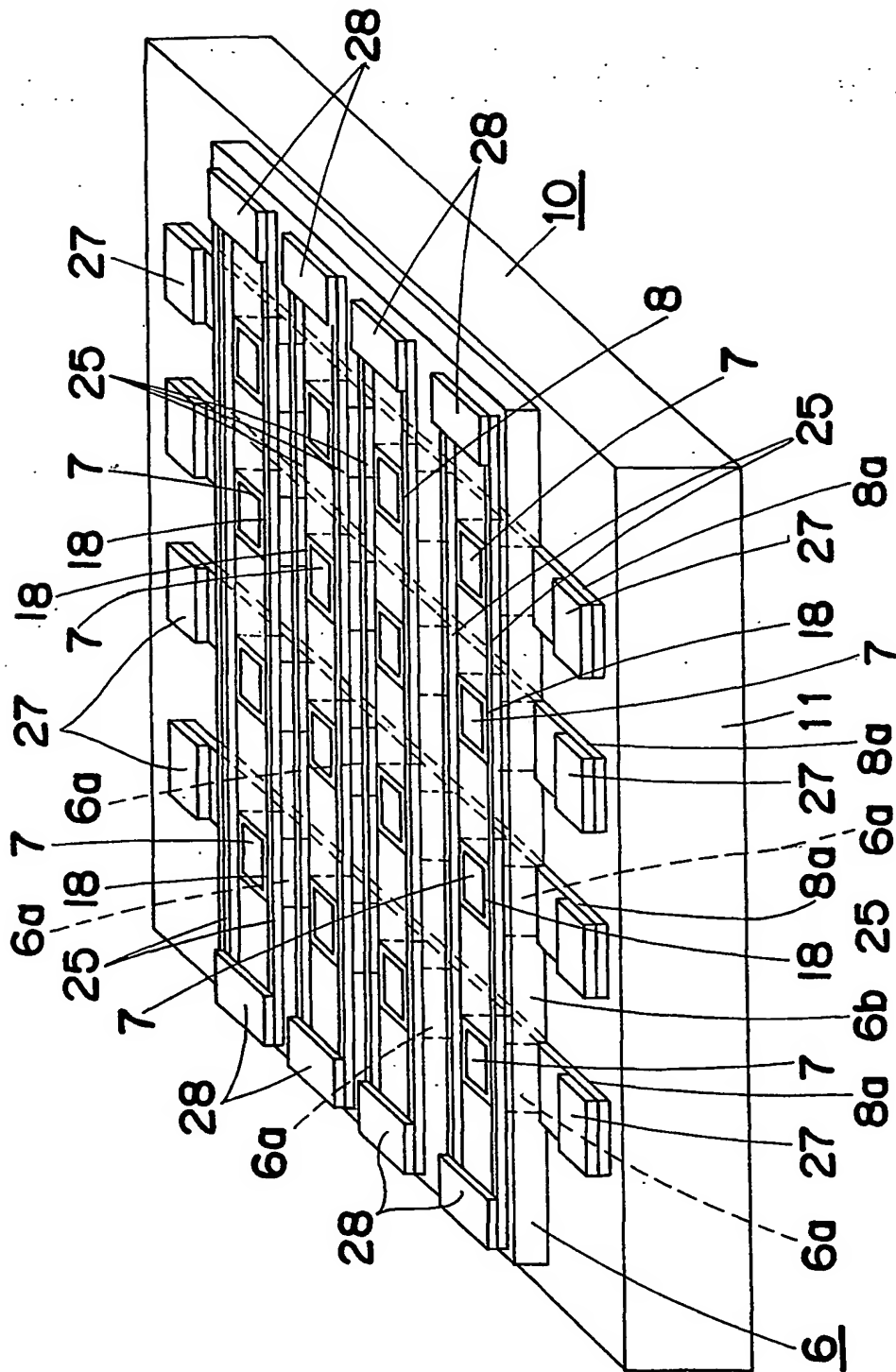


21/35

Fig. 33*Fig. 34*

22/35

Fig. 35



23/35

Fig. 36

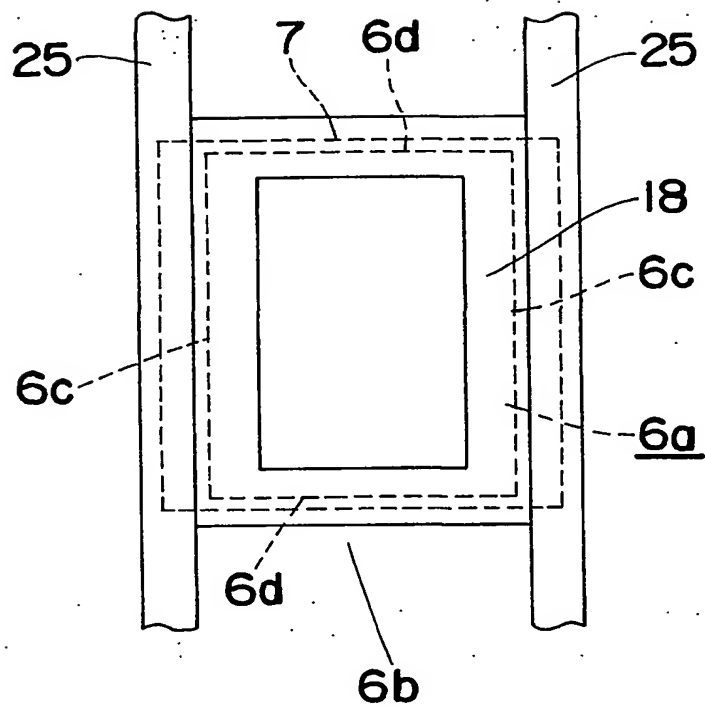
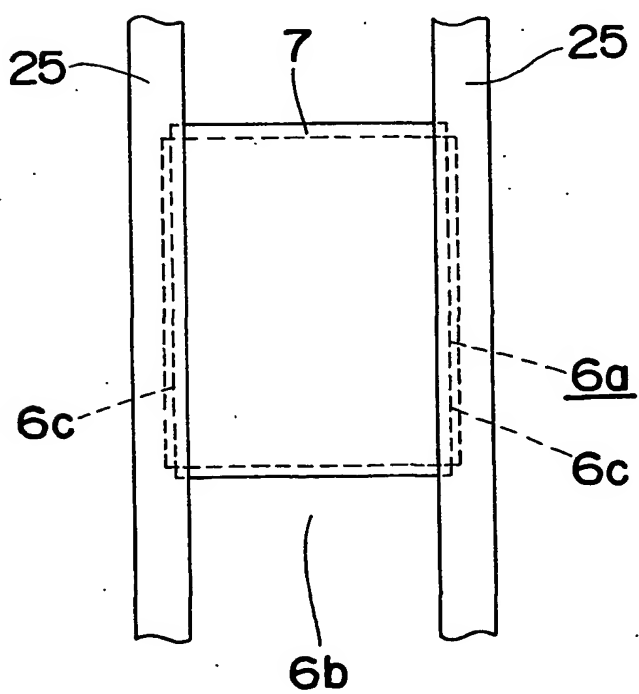
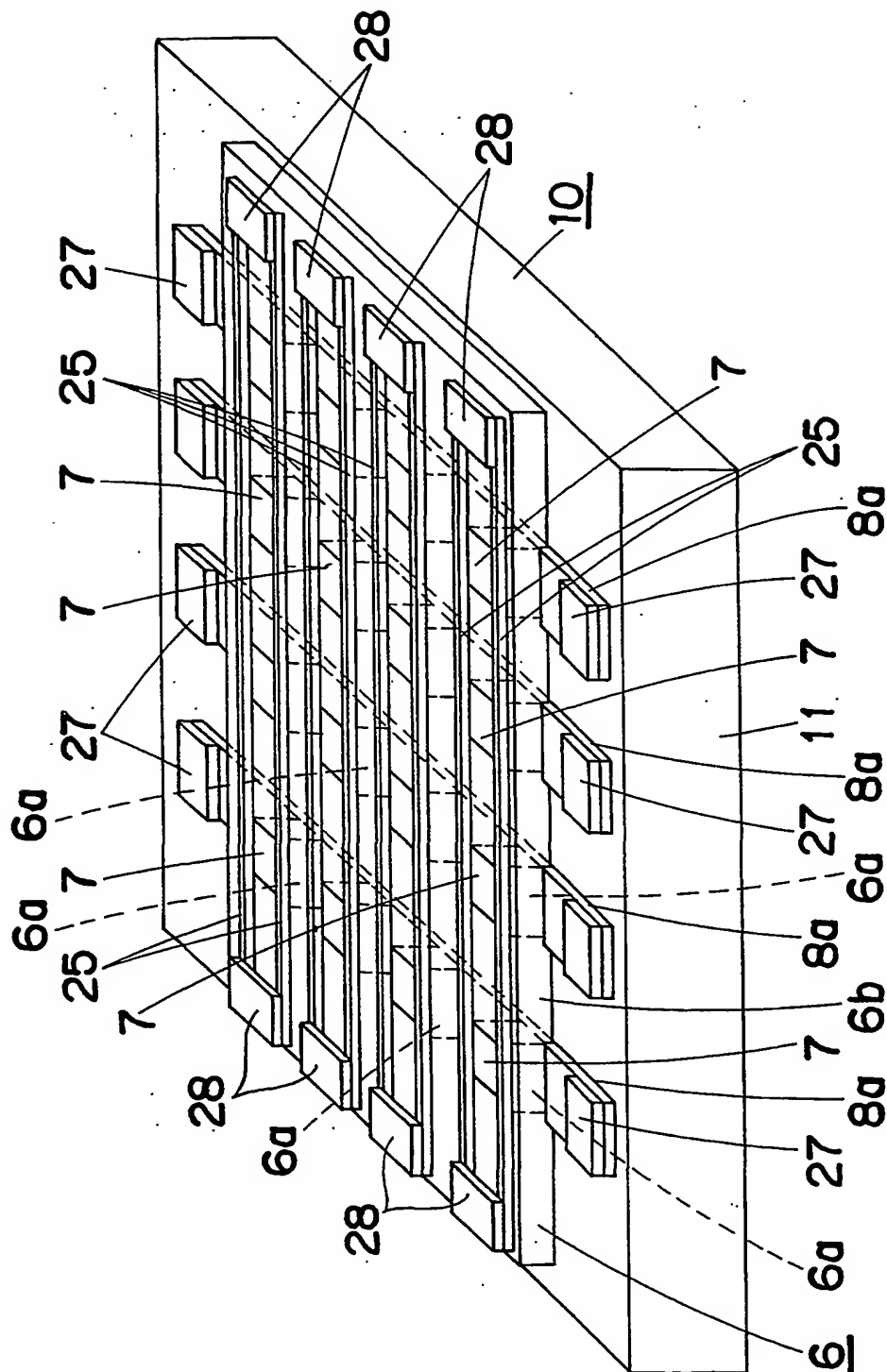


Fig. 38

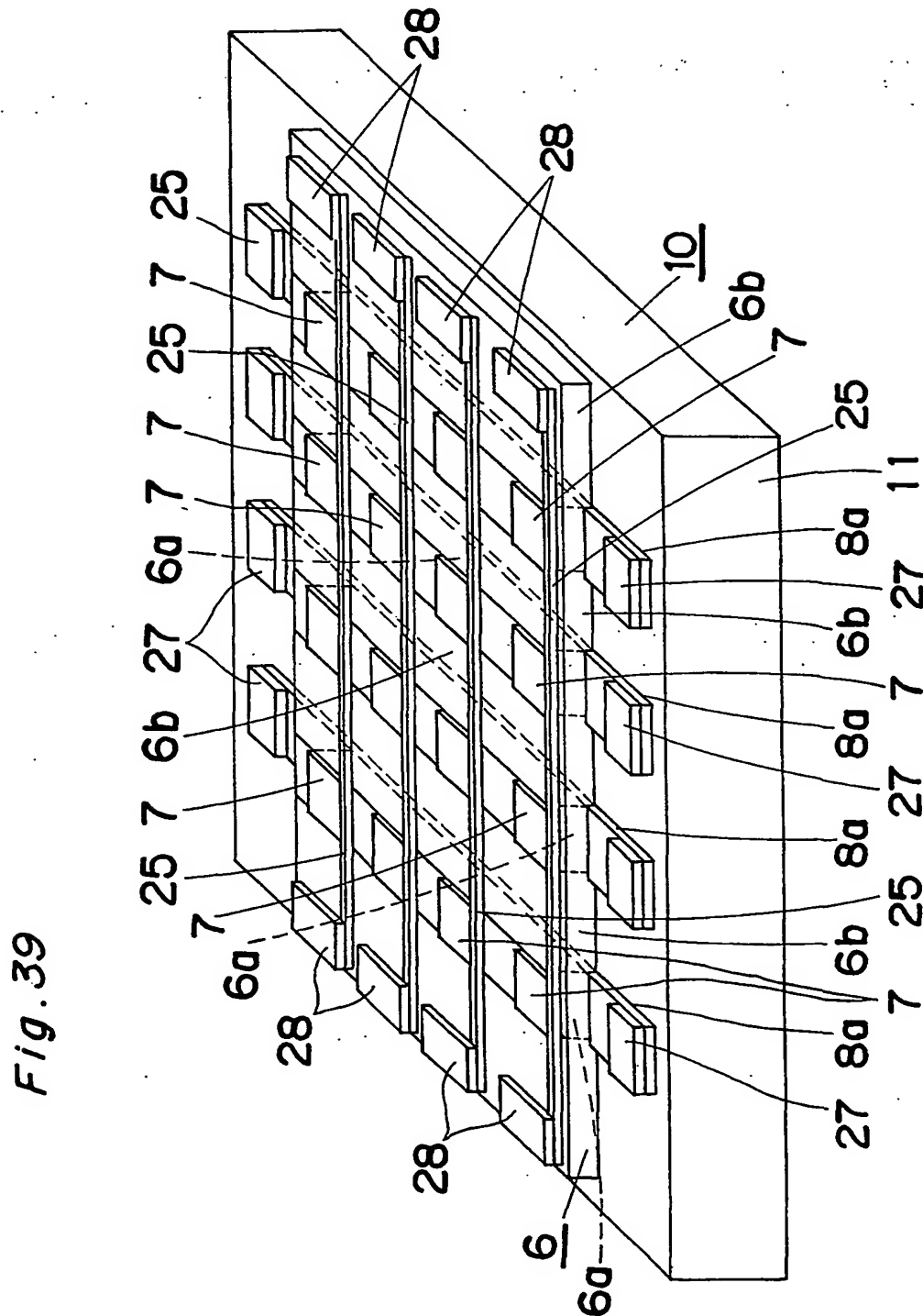


24/35

Fig. 37

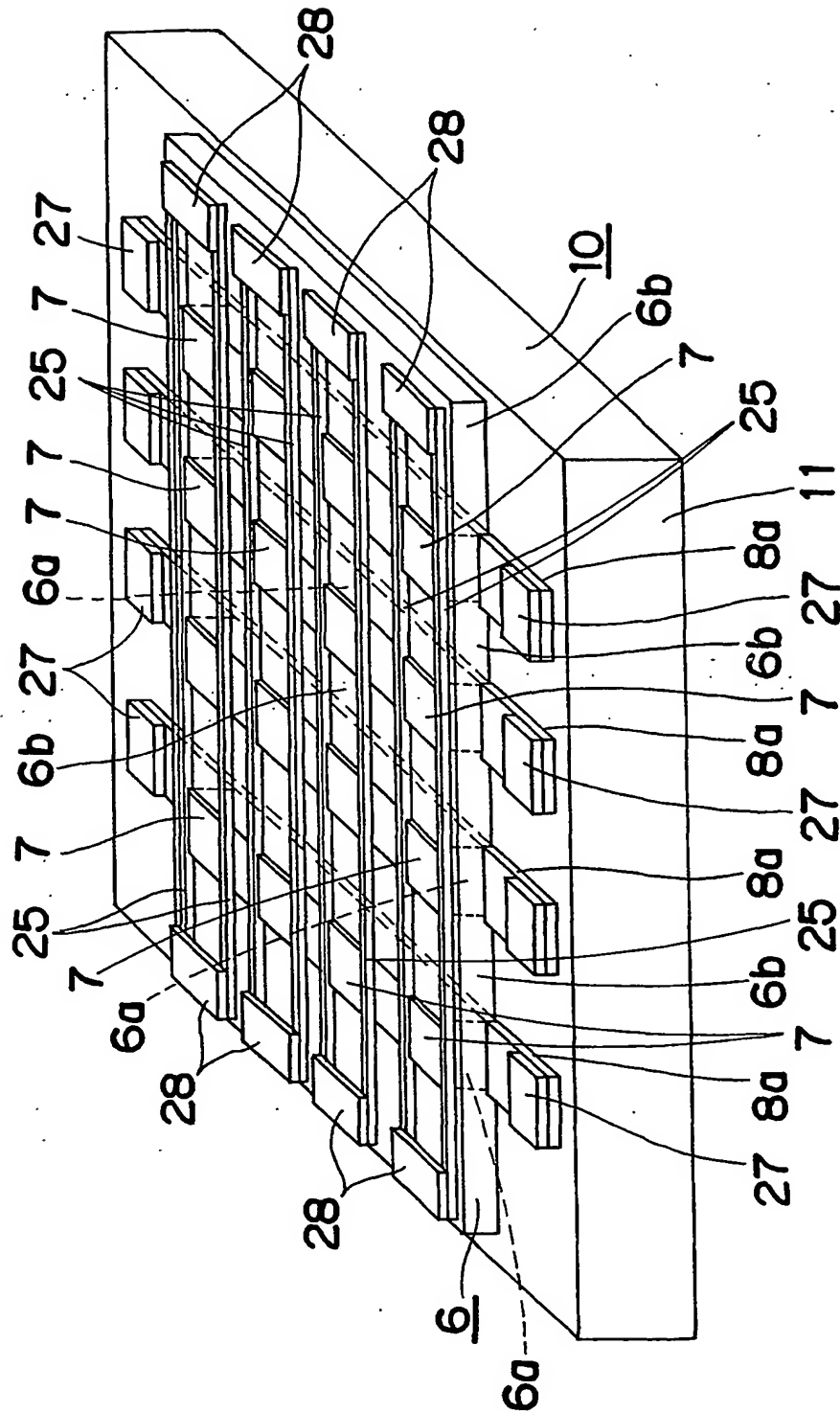


25/35



26/35

Fig. 41



27/35

Fig. 40

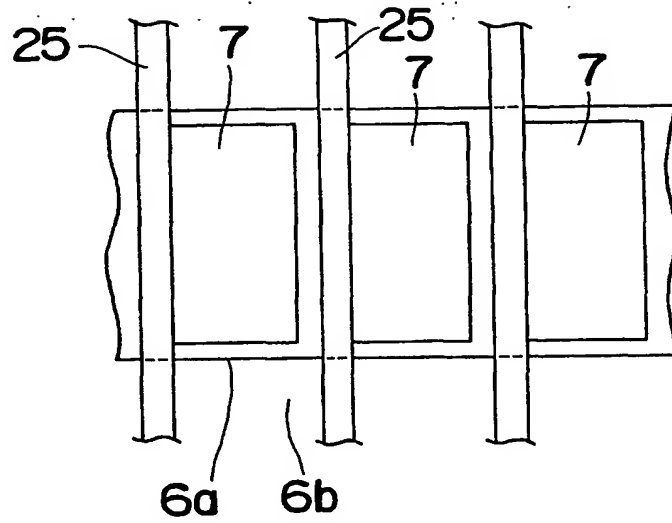
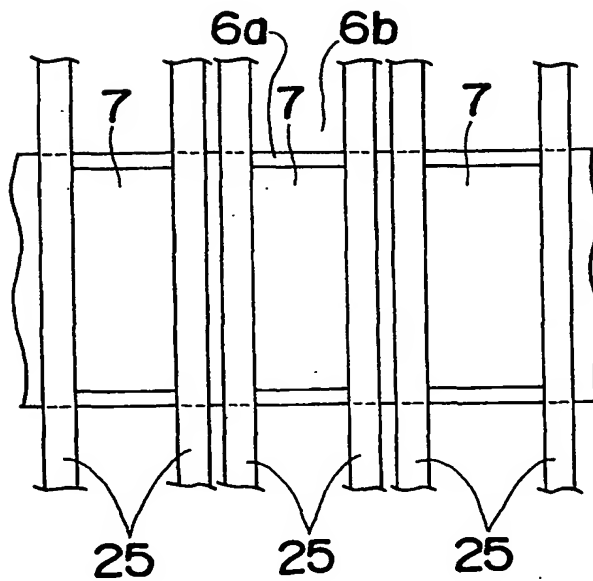


Fig. 42



28/35

Fig. 43

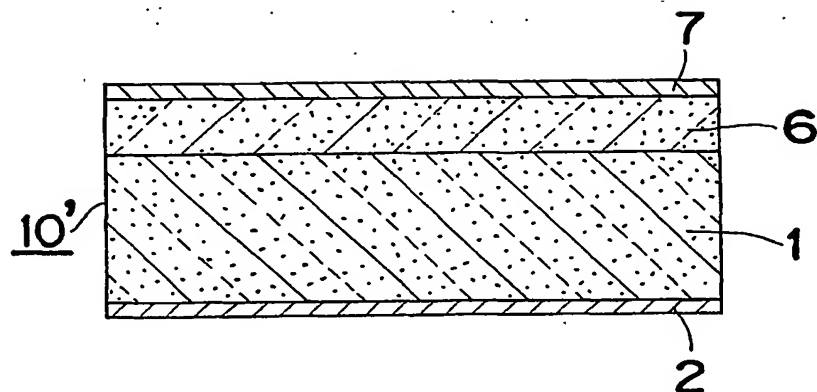
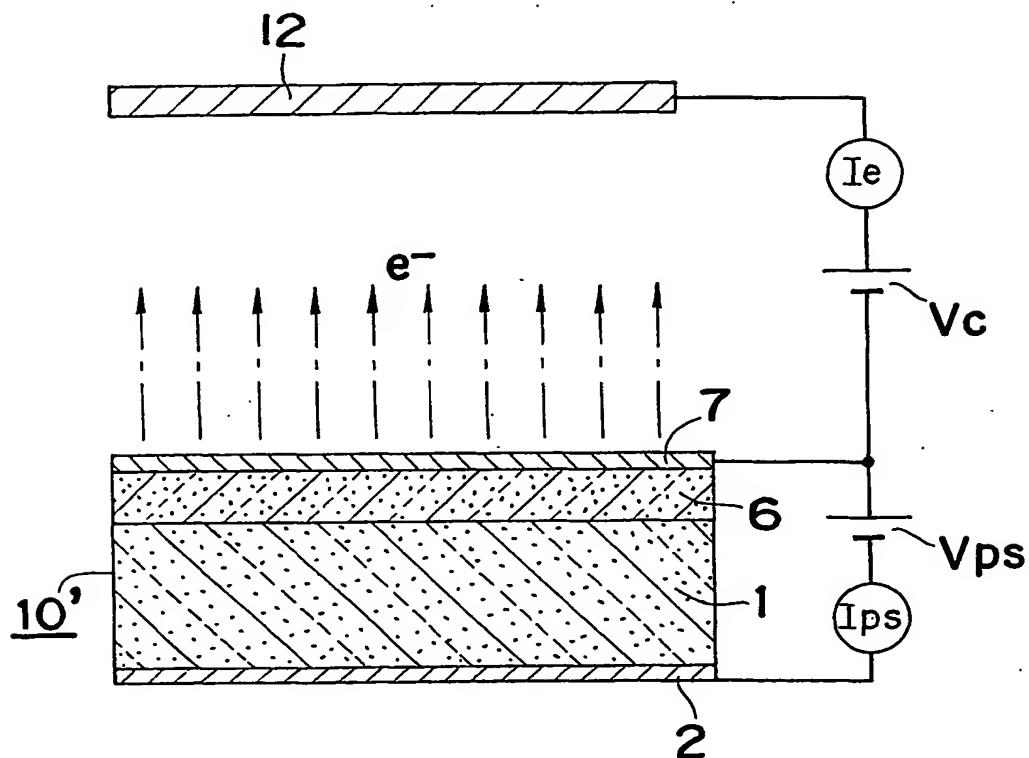


Fig. 44



29/35

Fig. 45

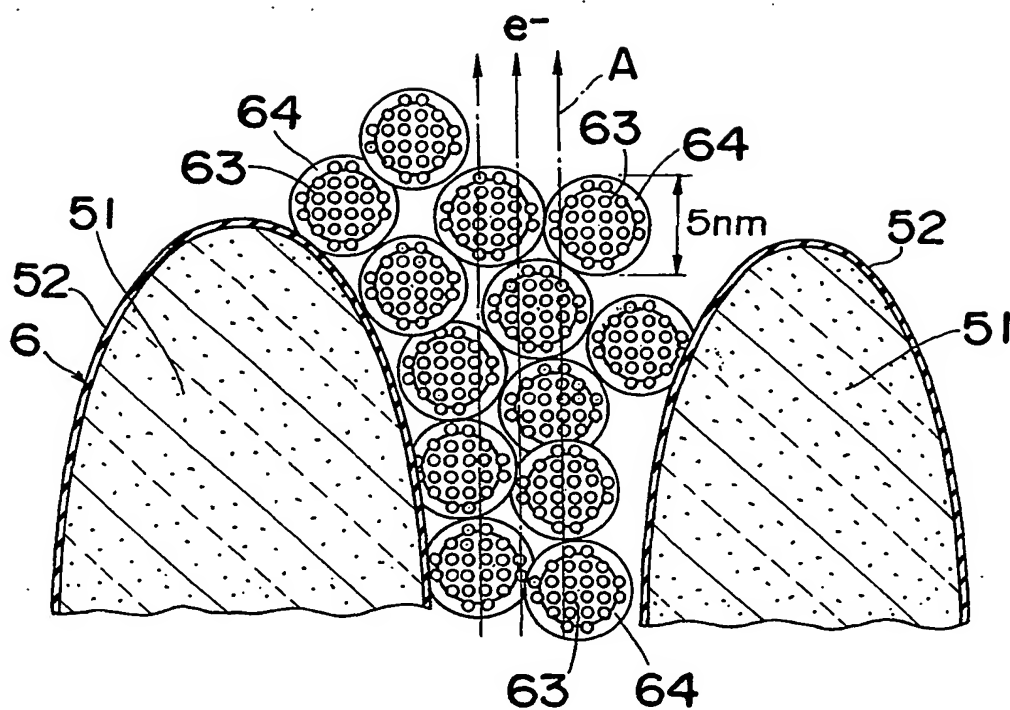


Fig. 46

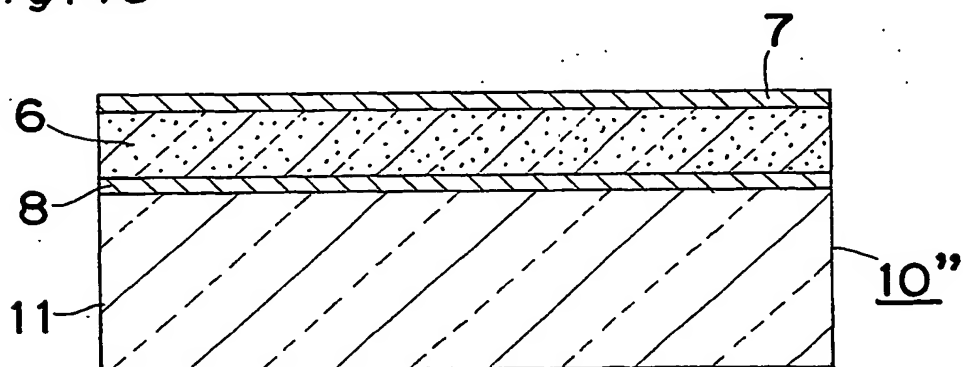


Fig.47

30/35

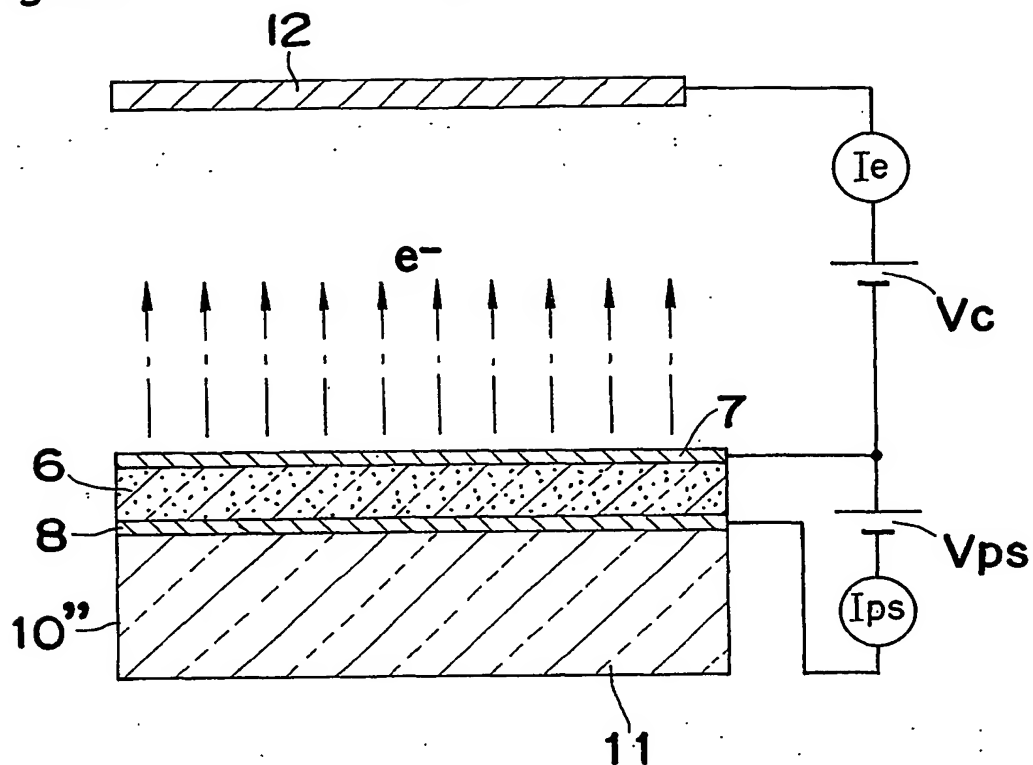
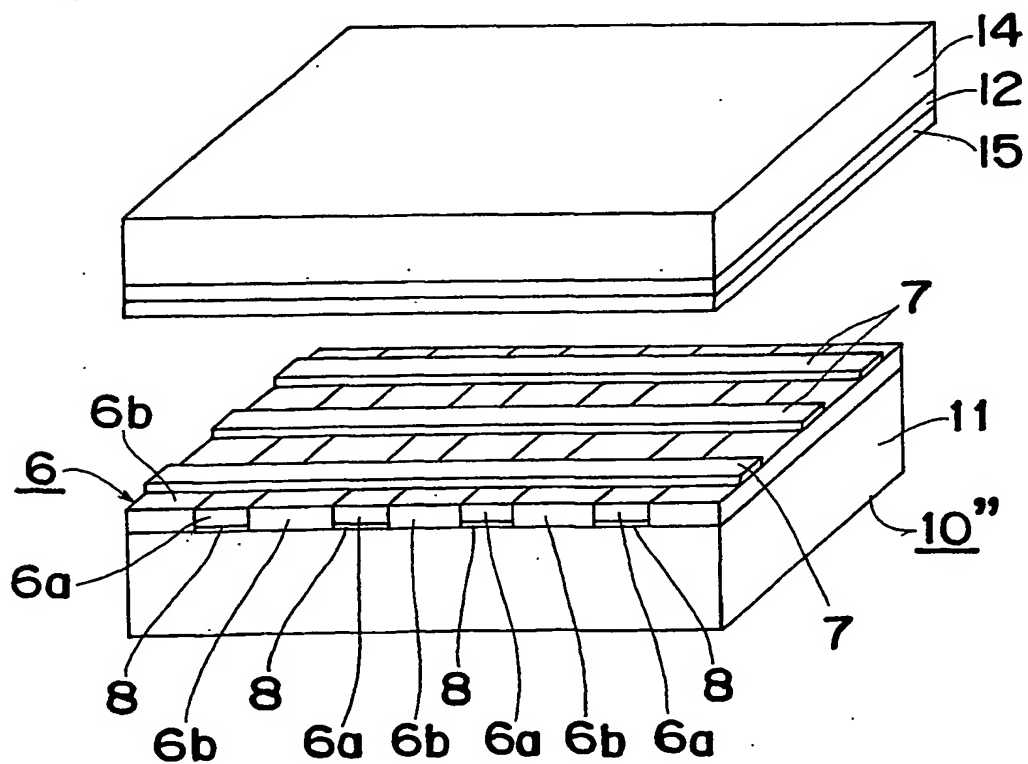


Fig.48



31/35

Fig. 49

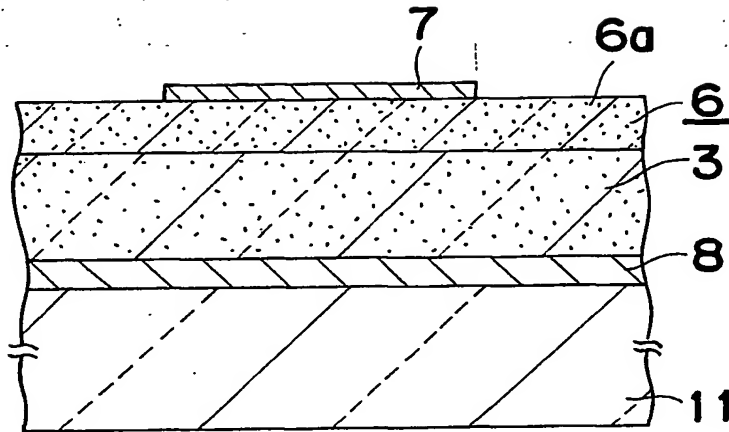
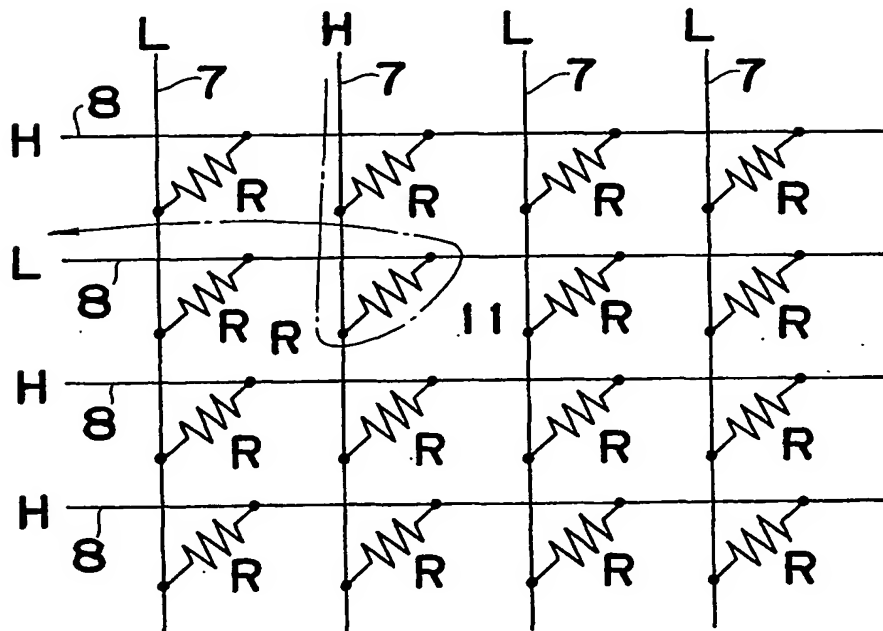


Fig. 50



32/35

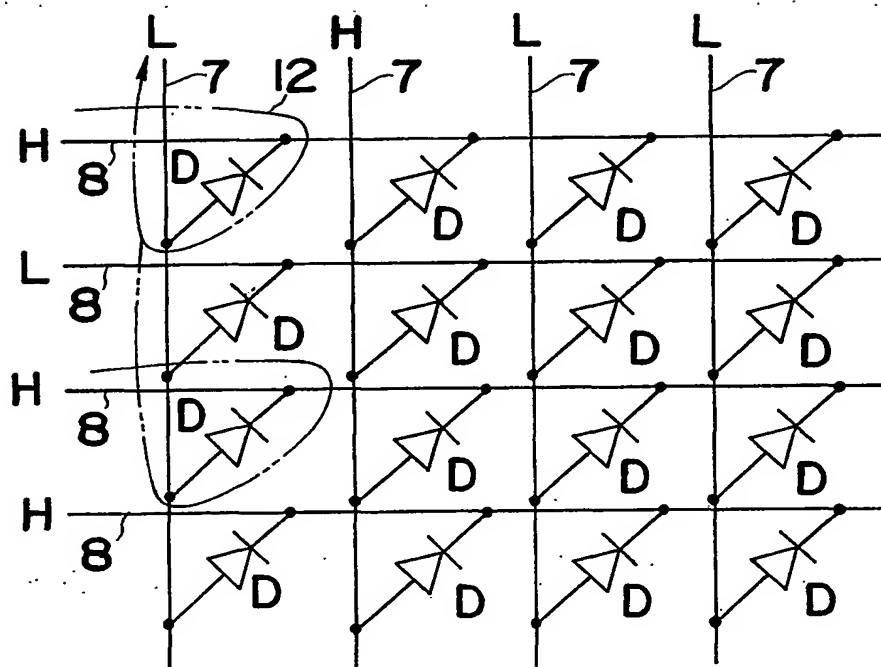
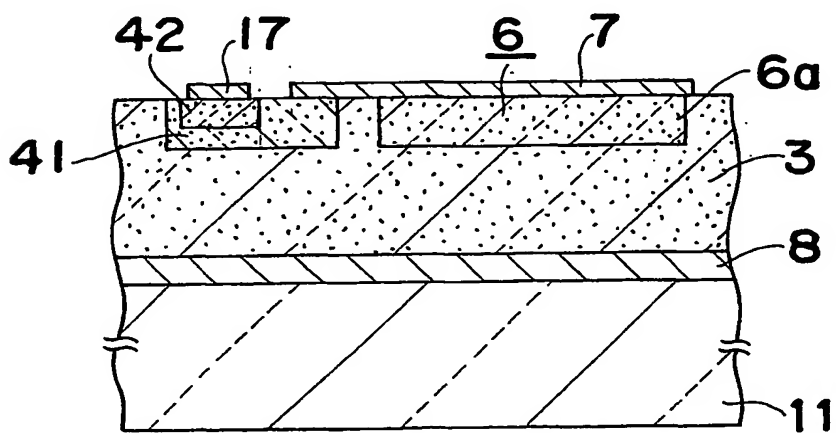
Fig. 51*Fig. 52*

Fig. 53

33/35

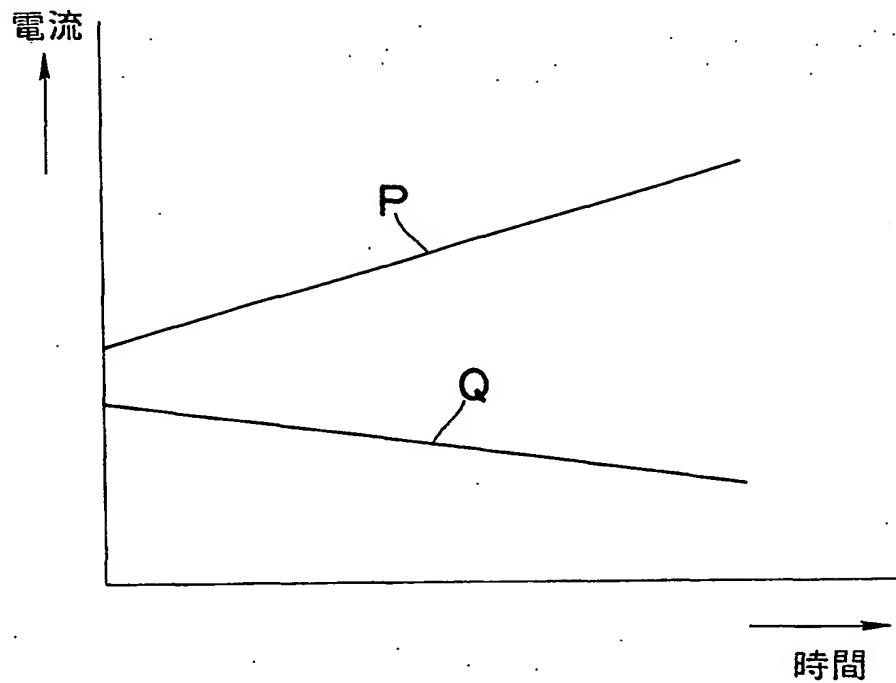
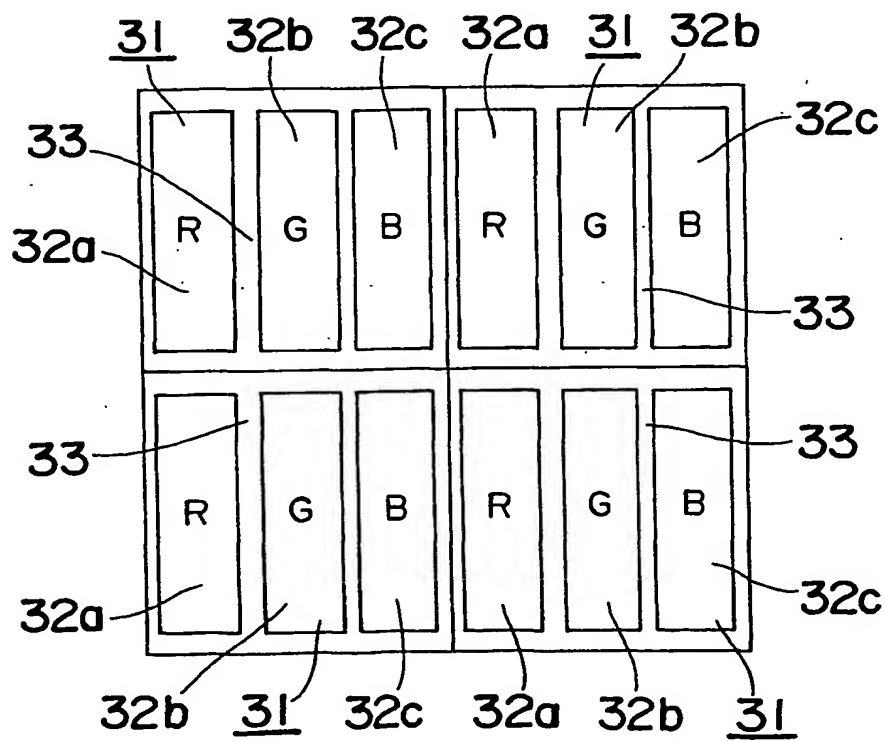
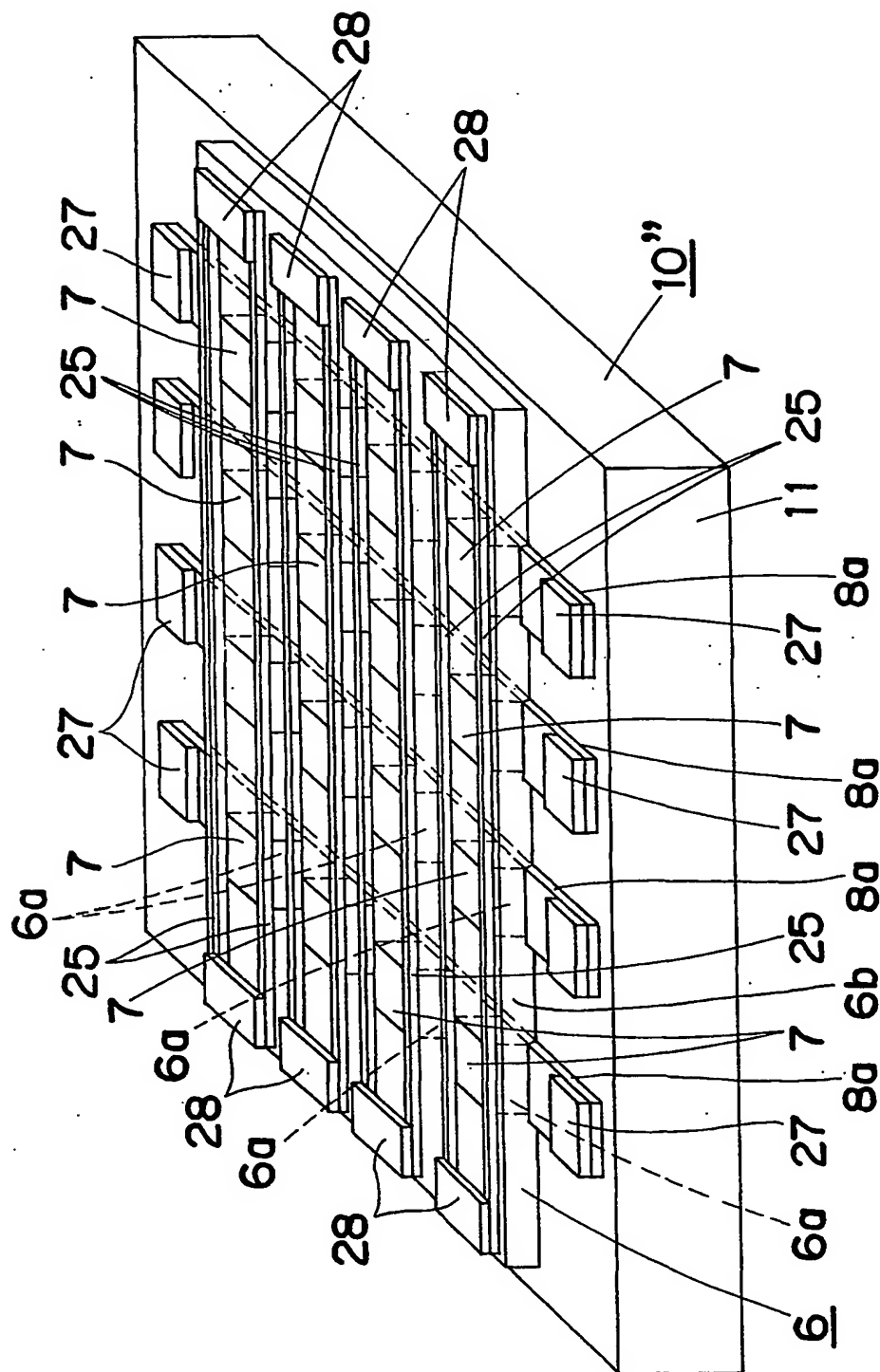


Fig. 55



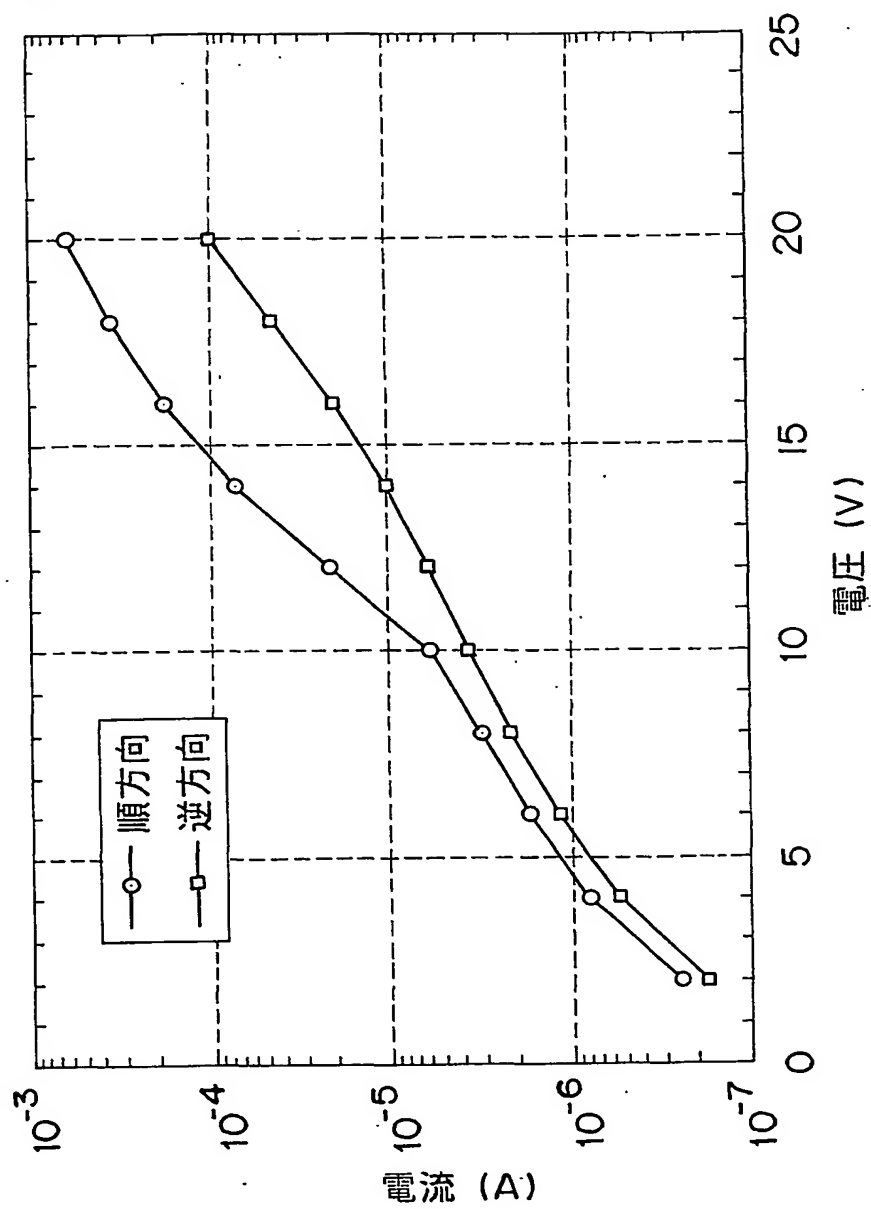
34/35

Fig. 54



35/35

Fig. 56



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/09423

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H01J 1/30

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H01J 1/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2002
 Kokai Jitsuyo Shinan Koho 1971-2002 Jitsuyo Shinan Toroku Koho 1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 1026721 A1 (Matsushita Electric Works, Ltd.),	1, 10-12, 23
Y	09 August, 2000 (09.08.2000),	14, 15
A	Full text; Figs. 11-14, 25-31 & WO 00/13197 A & JP 12-138026 A & JP 12-164115 A & JP 12-188057 A & JP 12-188059 A	2-9, 13, 16-22, 24-31
Y	JP 2000-188059 A (Matsushita Electric Works, Ltd.), 04 July, 2000 (04.07.2000), Full text; all drawings & EP 1026721 A1 & WO 00/13197 A	14, 15
X	EP 874384 A1 (PIONEER ELECTRONIC CORPORATION), 28 October, 1998 (28.10.1998), Full text; all drawings & JP 10-269932 A & JP 10-326557 A & US 5990605 A	1, 10, 14-22
P, X	EP 1094485 A2 (Matsushita Electric Works, Ltd.), 25 April, 2001 (25.04.2001), Par. No. [0021] & JP 2001-210224 A	1, 2, 8, 10, 12

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not
 considered to be of particular relevance
 "E" earlier document but published on or after the international filing
 date
 "L" document which may throw doubts on priority claim(s) or which is
 cited to establish the publication date of another citation or other
 special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other
 means
 "P" document published prior to the international filing date but later
 than the priority date claimed

"I" later document published after the international filing date or
 priority date and not in conflict with the application but cited to
 understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be
 considered novel or cannot be considered to involve an inventive
 step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be
 considered to involve an inventive step when the document is
 combined with one or more other such documents, such
 combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
 18 January, 2002 (18.01.02)

Date of mailing of the international search report
 29 January, 2002 (29.01.02)

Name and mailing address of the ISA/
 Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/09423

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 798761 A1 (PIONEER ELECTRONIC CORPORATION), 01 October, 1997 (01.10.1997), Full text; all drawings & JP 9-259795 A & US 5894189 A	1-31

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.⁷ H01J 1/30

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁷ H01J 1/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2002年
 日本国登録実用新案公報 1994-2002年
 日本国実用新案登録公報 1996-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A	EP 1026721 A1 (Matsushita Electric Works, Ltd.) 2000. 08. 09 全文, Fig. 11-14, 25-31 & WO 00/13197 A & JP 12-138026 A & JP 12-164115 A & JP 12-188057 A & JP 12-188059 A	1, 10-12, 23 14, 15 2-9, 13, 16- 22, 24-31
Y	JP 2000-188059 A (松下電工株式会社) 2000. 07. 04, 全文, 全図 & EP 1026721 A1 & WO 00/13197 A	14, 15

☒ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

18. 01. 02

国際調査報告の発送日

29.01.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

堀部 修平

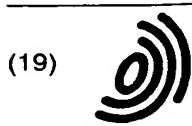
印

2G

9215

電話番号 03-3581-1101 内線 3225

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	EP 874384 A1 (PIONEER ELECTRONIC CORPORATION) 1998. 10. 28, 全文, 全図 & JP 10-269932 A & JP 10-326557 A & US 5990605 A	1, 10, 14-22
P, X	EP 1094485 A2 (Matsushita Electric Works, Ltd.) 2001. 04. 25, 段落 [0021] & JP 2001-210224 A	1, 2, 8, 10, 12
A	EP 798761 A1 (PIONEER ELECTRONIC CORPORATION) 1997. 10. 01, 全文, 全図 & JP 9-259795 A & US 5894189 A	1-31



Europäisches Patentamt
European Patent Office
Office européen des brevets



(11) **EP 1 329 926 A1**

(12) **EUROPEAN PATENT APPLICATION**
published in accordance with Art. 158(3) EPC

(43) Date of publication:
23.07.2003 Bulletin 2003/30

(51) Int Cl.7: **H01J 1/30**

(21) Application number: **01976835.7**

(86) International application number:
PCT/JP01/09423

(22) Date of filing: **26.10.2001**

(87) International publication number:
WO 02/035572 (02.05.2002 Gazette 2002/18)

(84) Designated Contracting States:
AT BE CH DE DK ES FI FR GB IT LI NL SE

(30) Priority: 26.10.2000 JP 2000326274
26.10.2000 JP 2000326276
10.11.2000 JP 2000344301
15.05.2001 JP 2001145527
15.05.2001 JP 2001145528

(71) Applicant: **Matsushita Electric Works, Ltd.**
Kadoma-shi, Osaka-fu 571-8686 (JP)

(72) Inventors:
• **KOMODA, Takuya,**
MATSUSHITA ELECTRIC WORKS, LTD.
Kadoma-shi, Osaka 571-8686 (JP)
• **HONDA, Yoshiaki,**
MATSUSHITA ELECTRIC WORKS, LTD.
Kadoma-shi, Osaka 571-8686 (JP)

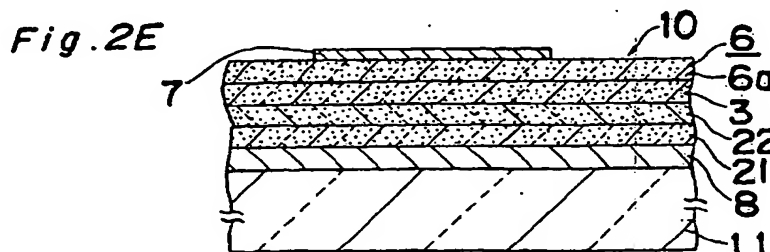
- **AIZAWA, Koichi,**
MATSUSHITA ELECTRIC WORKS, LTD.
Kadoma-shi, Osaka 571-8686 (JP)
- **ICHIHARA, Tsutomu,**
MATSUSHITA ELECTRIC WORKS, LTD.
Kadoma-shi, Osaka 571-8686 (JP)
- **WATABE, Yoshifumi,**
MATSUSHITA ELECTRIC WORKS, LTD.
Kadoma-shi, Osaka 571-8686 (JP)
- **HATAI, Takashi,**
MATSUSHITA ELECTRIC WORKS, LTD.
Kadoma-shi, Osaka 571-8686 (JP)
- **BABA, Toru,**
MATSUSHITA ELECTRIC WORKS, LTD.
Kadoma-shi, Osaka 571-8686 (JP)

(74) Representative: **Dallmeyer, Georg, Dipl.-Ing. et al**
Patentanwälte
von Kreisler-Selting-Werner
Postfach 10 22 41
50462 Köln (DE)

(54) **FIELD EMISSION TYPE ELECTRON SOURCE**

(57) In a field emission-type electron source (10), lower electrodes (8) made of an electroconductive layer, a strong field drift layer (6) including drift portions (6a) made of an oxidized or nitrided porous semiconductor, and surface electrodes (7) made of a metal layer are provided on an upper side of a dielectric substrate (11) made of glass. When voltage is applied to cause the surface electrodes (7) to be anodic with respect to the lower electrodes (8), electrons injected from the lower elec-

trodes (8) to the strong field drift layer (6) are led to drift through the strong field drift layer (6) and are emitted outside through the surface electrodes (7). A pn-junction semiconductor layer composed of an n-layer (21) and a p-layer (22) is provided between the lower electrode (8) and the strong field drift layer (6) to prevent a leakage current from flowing to the surface electrode (7) from the lower electrode (8), thereby reducing amount of power consumption.



Description

TECHNICAL FIELD

[0001] The present invention relates to a field emission-type electron source arranged to emit an electron beam by using a semiconductor material according to field emission.

BACKGROUND ART

[0002] Conventionally, as a field emission-type electron source (which hereinbelow may be shortly referred to as an "electron source"), there is known a Spindt-type electrode disclosed in, for example, U.S. Patent No. 3,665,241. The Spindt-type electrode includes a substrate and gate layers, in which a large number of trigonal-pyramid-shaped emitter chips are arranged on the substrate, and the gate layers are insulated from one-way emitter chips that have emission openings provided to expose end portions of the emitter chips. In the Spindt-type electrode, when a high voltage is applied in a vacuum to cause the emitter chips to be cathodic with respect to the gate layer, electron beams are emitted from the apexes of the emitter chips through the emission openings.

[0003] For the Spindt-type electrode, however, a manufacturing process is complicated, and it is difficult to manufacture a large number of the trigonal-pyramid-shaped emitter chips at high precision. As such, a problem arises in that it is difficult to implement area enlargement when the electrode is used for, for example, a flat emitting device and display. Moreover, in the Spindt-type electrode, since fields concentrate at the apex of the emitter chip, when a residual gas exists because the degree of a vacuum around the apex of the emitter chip is low, the residual gas is ionized by emitted electrons to be of anodic ion. Since the anodic ions impinge on the apex of the emitter chip, the apex of the emitter chip suffers damage (such as ion-impact-caused damage). For this reason, defects can easily occur to an extent that electron properties, such as the current density and emission efficiency, become unstable, and hence the service life of the emitter chip is reduced. To prevent the defects, the Spindt-type electrode needs to be used in a high vacuum (in a range of 10^{-5} Pa to 10^{-6} Pa). This arises problems, however, in that costs are increased, and in addition, handling becomes difficult.

[0004] For eliminating the defects described above to implement improvement, an electron source of a MIM (metal insulator metal) type and an electron source of a MOS (metal oxide semiconductor) type have been proposed. The former is a flat electron source that has a (metal)-(insulator film)-(metal) multilayered structure, and the latter is a flat electron source that has a (metal)-(oxide)-(film semiconductor) multilayered structure. To improve the emission efficiency (to cause many electrons to emit) in either of the electron sources of the

aforementioned types, the film thickness of the film such as the insulator film or the oxygen film needs to be reduced. However, with the insulator film or the oxygen film of which the thickness is excessively reduced, when voltage is applied between upper and lower electrodes in the multilayered structure, dielectric breakdown can occur. Since the electrical breakdown needs to be prevented, the reduction in the insulating film or the oxygen film is limited. As such, a problem arises in that the electron emission efficiency (induction efficiency) cannot be increased so high.

[0005] Recently, as is disclosed in Japanese Unexamined Patent Application Publication No. 8-250766, an electron source (cold electron emission semiconductor device) has been proposed. The electron source is configured such that a monocrystalline semiconductor substrate such as a silicon substrate is used, a surface of the semiconductor substrate is anodic-oxidized, a porous semiconductor layer (porous silicon layer) is thereby formed, and a thin metal film is formed on the porous semiconductor layer. In the electron source, voltage is applied between the semiconductor substrate and the thin metal film to cause electrons to emit.

[0006] However, in the electron source proposed in Japanese Unexamined Patent Application Publication No. 8-250766, since the substrate is limited to be of a semiconductor, a problem arises in that it is difficult to implement the area enlargement and the cost reduction. In addition, a so-called popping phenomenon tends to occur in electron emission, and hence nonuniformity tends to occur in light emission. As such, in a state where the electron source is used with, for example, a flat emitting device or display, light-emission nonuniformity can occur.

[0007] In view of the above, with Japanese Patent Applications No. 10-272340 and No. 10-272342, the inventors proposed an electron source configured such that, a porous polycrystalline semiconductor layer (such as a porous polycrystalline silicon layer) is interposed between an electroconductive substrate and a thin metal film (surface electrode) by performing, for example, rapid thermal oxidation at 900°C according to a rapid thermal oxidation (RTO) technique; and thereby, a strong field drift layer (which hereinbelow will be referred to as a "drift layer") in which electrons injected from the electroconductive substrate drift is formed.

[0008] As shown in Fig. 43, in an electron source 10' of the aforementioned type, a drift layer 6 is formed on a main surface of an n-type silicon substrate 1, which is an electroconductive substrate, in which the drift layer 6 is formed of an oxidized porous polycrystalline silicon layer. A surface electrode 7 made of a thin metal film is formed on the drift layer 6. An ohmic electrode 2 is formed on a reverse surface of the n-type silicon substrate 1. The thickness of the drift layer 6 is, for example, 1.5 μm .

[0009] As shown in Fig. 44, in the electron source 10', the surface electrode 7 is disposed to be exposed to a

vacuum. A collector electrode 12 is disposed to oppose the surface electrode 7. In the configuration, a direct-current voltage V_{ps} is applied to cause the surface electrode 7 to be anodic with respect to the n-type silicon substrate 1 (ohmic electrode 2). In addition, a direct-current voltage V_c is applied to cause the collector electrode 12 to be anodic with respect to the surface electrode 7. Thereby, electrons injected from the n-type silicon substrate 1 into the drift layer 6 are caused to drift, and are discharged through the surface electrode 7 (each of single-dotted chain lines in Fig. 44 shows the flow of an electron e^- emitted through the surface electrode 7). As such, a material having a small work function is preferably used for the surface electrode 7. A current flowing between the surface electrode 7 and the ohmic electrode 2 is generally called a diode current I_{ps} , and a current flowing between the collector electrode 12 and the surface electrode 7 is generally called an emitted electron current I_e . The greater the emitted electron current I_e with respect to the diode current I_{ps} (I_e/I_{ps}), the higher the electron emission efficiency. In the electron source 10', electrons can be emitted even when the direct-current voltage V_{ps} to be applied between the surface electrode 7 and the ohmic electrode 2 is in a low range of from 10 to 20 V.

[0010] The electron source 10' enables electrons to be stably emitted at high electron emission efficiency without causing popping phenomenon since it has a less dependency to the degree of vacuum as an electron emission property.

[0011] As shown in Fig. 45, the drift layer 6 includes at least grain 51 (semiconductor crystal) made of columnar polycrystalline silicon disposed on the main surface of the n-type silicon substrate 1; a thin silicon oxide film 52 formed on a surface of the grain 51; fine silicon crystal 63 on the order of nanometer that is interposed between items of the grain 51; and a silicon oxide film 64 provided as an insulator film that is formed on a surface of the fine silicon crystal 63 and that has a thickness smaller than a crystal grain diameter of the fine silicon crystal 63. That is, in the drift layer 6, the surface of each item of the grain 51 becomes porous, and a crystal condition is maintained in a central portion of each item of the grain 51. As such, most part of the field applied to the drift layer 6 is exerted on the silicon oxide film 64. Hence, the injected electrons are accelerated by a strong field applied on the silicon oxide film 64, and is caused thereby to drift between items of the grain 51 toward the surface as shown by an arrow A. Thereby, the electron emission efficiency can be improved. Electrons reached the surface of the drift layer 6 are hot electrons that easily pass through the surface electrode 7 and that are emitted in a vacuum. The film thickness of the surface electrode 7 is set in a range of from 10 to 15 nm.

[0012] Instead of the semiconductor substrate such as the n-type silicon substrate 1 as the electroconductive substrate, a substrate formed such that a lower electrode made of a conductive layer (such as a thin metal

film) is formed on a dielectric substrate such as a glass substrate can be used. Thereby, further electron-source area enlargement and cost reduction can be implemented.

[0013] Fig. 46 shows an electron source 10" using an electroconductive substrate formed of a dielectric substrate 11 made of a glass substrate, and a lower electrode 8 formed on a main surface of the dielectric substrate 11. As shown in Fig. 46, in the electron source 10", the lower electrode 8 made of the conductive layer is formed on the main surface of the dielectric substrate 11. A drift layer 6 is formed on the lower electrode 8. A surface electrode 7 made of a thin metal film is formed on the drift layer 6. The drift layer 6 is formed such that, after an undoped polycrystalline silicon layer is overlaid on the lower electrode 8, the polycrystalline silicon layer is processed porous according to an anodic oxidation treatment, and is then oxidized or nitrided according to, for example, a rapid thermal technique performed at 900°C.

[0014] As shown in Fig. 47, in substantially the same manner as that in the electron source 10' (refer to Fig. 44), in the electron source 10", a surface electrode 7 is disposed to be exposed to a vacuum, and a collector electrode 12 is disposed to oppose the surface electrode 7. In addition, in substantially the same way as in the electron source 10', direct-current voltages V_{ps} and V_c are applied, electrons injected from the lower electrode 8 into the drift layer 6 are caused to drift in the drift layer 6, and are emitted through the surface electrode 7. Also in the electron source 10", electrons can be emitted even when the direct-current voltage V_{ps} , which is applied between the surface electrode 7 and the lower electrode 8, is in a low range of from 10 to 20 V.

[0015] As shown in Fig. 48, the electron source 10" can be used as a display-dedicated electron source. In the display shown in Fig. 48, a glass substrate 14 is disposed to oppose the electron source 10". On a surface of the glass substrate 14, which opposes the electron source 10", a collector electrode 12 and a phosphor layer 15 are provided. The phosphor layer 15 is coated on a surface of the collector electrode 12 to emit visible light according to electrons emitted from the electron source 10". The glass substrate 14 is spaced with a spacer (not shown) from the electron source 10". A hermetic space formed between the glass substrate 14 and the electron source 10" is set to a vacuum state.

[0016] The electron source 10" used in the display shown in Fig. 48 includes a dielectric substrate 11 made of a glass substrate; a plurality of lower electrodes 8 arranged on a main surface of the dielectric substrate 11; a drift layer 6 including a plurality of drift portions 6a individually made of an oxidized porous polycrystalline silicon layer in such a manner as to overlap the lower electrodes 8, and a plurality of isolating portions 6b that are formed of a polycrystalline silicon layer and that individually fill up spaces between the drift portions 6a; and a plurality of surface electrodes 7 arranged on the drift lay-

er 6 in such a manner as to cross the drift portions 6a and the isolating portions 6b in the direction intersecting with the lower electrodes 8.

[0017] In the electron source 10", the drift portions 6a of the drift layer 6 are sandwiched between the plurality of lower electrodes 8 and the plurality of surface electrodes 7. As such, when an associated set of the surface electrode 7 and the lower electrode 8 is desirably selected, and voltage is applied into the selected couple, a strong field is applied to the drift portion 6a in the position corresponding to the intersection of the selected surface electrode 7 and lower electrode 8, and electrons are thereby emitted. Specifically, as in a case where electron sources are individually disposed at intersections in a check pattern formed of the surface electrodes 7 and the lower electrodes 8, an associated set of the surface electrode 7 and the lower electrode 8 is selected, and thereby, electrons can be emitted from a desired intersection. The voltage to be applied between the surface electrode 7 and the lower electrode 8 is set to a range of from 10 to 20 V.

[0018] In the electron source 10" used in the display shown in Fig. 48, an undoped polycrystalline silicon layer is made porous in depth up to a portion reaching the lower electrode 8.

[0019] However, as shown in Fig. 49, the polycrystalline silicon layer may be made porous in depth up to a portion not reaching the lower electrode 8. In this case, an undoped polycrystalline silicon layer 3 is interposed between the lower electrode 8 and the drift portion 6a.

[0020] The electron source 10" used in the display shown in Fig. 48 has a so-called a passive matrix structure in which the surface electrodes 7 and the lower electrodes 8 mutually opposes in a matrix so as to sandwich the drift layer 6.

[0021] As shown in Fig. 50, the drift portions 6a are assumed to be resistors R. In this case, among the plurality of surface electrodes 7, those selected are assumed to be set to an H level, and those unselected are assumed to be set to an L level. On the other hand, among the plurality of lower electrodes 8, those selected are assumed to be set to an L level, and those unselected are assumed to be set to an H level. In this case, as shown by a single-dotted chain line in Fig. 50, a current I1 is led to flow through a passageway (surface electrode 7 at the H level)-(resistor R)-(lower electrode 8 at the L level). However, in the electron source in which the drift portions 6a are made of resistors R, many passageways exist that pass leakage current flowing reversely to the lower electrodes 8 at the H level to the surface electrodes 7 at the L level. As such, the current flows even to the unselected intersections in the check pattern, thereby increasing the power consumption.

[0022] However, resistors are not used for the drift portions 6a in the electron source 10" shown in Fig. 48, which has the passive matrix structure. In the electron source 10", the overlapped portions of the surface electrodes 7 and the drift portions 6a are individually used

as electron sources. Suppose the direction along which current flows from the surface electrode 7 to the lower electrode 8 in each of the electron sources is a forward direction. In this case, a current-voltage property is of a nonlinear type between the surface electrode 7 and the lower electrode 8 in each of the electron sources. Accordingly, leakage current is reduced less than that in the case where the drift portion 6a is assumed to be the resistor R. However, to implement the area enlargement of the electron source 10", the total amount of leakage current cannot be neglected. Thus, problems arise in that reduction in power consumption and improvement in electron emission efficiency are hindered.

[0023] As shown in Fig. 51, the above-described leakage-current flow can be prevented if the configuration is made such that a diode D having the anode on the side of the surface electrode 7 and the cathode on the side of the lower electrode 8 is formed between each of the surface electrodes 7 and lower electrodes 8. However, the diode D is not formed between the surface electrode 7 and the lower electrode 8 in each of the electron sources of the electron source 10" shown in Fig. 48. This arises problems in that, as shown by a double-dotted chain line in Fig. 51, leakage current flows from the lower electrode 8 at the H level to the surface electrode 7 at the L level, thereby making it difficult to reduce the power consumption and to improve the electron emission efficiency.

[0024] Fig. 56 is a graph representing the relationship between voltage and current in cases where a forward voltage and a backward voltage are applied. As shown in Fig. 56, even in the conventional electron source, a rectification property can be obtained to a certain extent in the forward current and the backward current. However, with the rectification property at the illustrated levels, it is still difficult to sufficiently minimize the leakage current.

[0025] As a means to solve these problems, it can be considered that the electron source is configured as shown in Fig. 52. Specifically, an n-type polycrystalline silicon region 41 is formed on the side of a surface of an undoped polycrystalline silicon layer 3 to be spaced away from a drift portion 6a. In addition, a p-type polycrystalline silicon region 42 is formed on the side of a surface in the n-type polycrystalline silicon region 41. A surface electrode 7 is formed in such a manner as to cross the drift portion 6a and a part of the n-type polycrystalline silicon region 41. In addition, a dummy surface electrode 17 is provided on the p-type polycrystalline silicon region 42 to add a rectification property to the current-voltage property in a portion between the dummy surface electrode 17 and the lower electrode 8.

[0026] In the electron source shown in Fig. 52, however, the n-type polycrystalline silicon region 41 and the p-type polycrystalline silicon region 42 need to be provided to be spaced away from the drift portion 6a; and in addition, the dummy surface electrode 17 needs to be provided to be spaced away from the surface elec-

trode 7. There arise problems in that a per-unit-area electron emitting area is reduced with a passive matrix structure being employed.

[0027] In addition, in the electron source 10" shown in Fig. 48, in which patterning is performed for the drift portions 6a are patterned, the field intensity of a portion of the drift portion 6a in the vicinity of a boundary to the isolating portion 6b is higher than the field intensity of a central portion of the drift portion 6a. Accordingly, the per-unit-area electron emission amount in the aforementioned vicinity of the boundary is greater than the per-unit-area electron emission amount in the central portion of the drift portion 6a. This arises a problem in that electrons are excessively emitted through the aforementioned vicinity of the boundary.

[0028] Moreover, since the field intensity in the aforementioned vicinity of the boundary high, a case can occur in which dielectric breakdown occurs in the drift portion 6a (the drift portion 6a deteriorates) in the aforementioned vicinity of the boundary, and hence excessive current locally flows between the lower electrode 8 and the surface electrode 7. Because of the flow of excessive current, problems are caused in that local heating occurs in the surface electrode 7, which is formed of the electroconductive thin film, and/or the lower electrode 8 (conductive layer); and hence the level of deterioration in, for example, the surface electrode 7 and the drift portion 6a is increased. The field intensity in the aforementioned vicinity of the boundary becomes higher than the field intensity in the central portion of the drift portion 6a for the reason that the porosity or the extent of oxidation or nitritization is different in the central portion and the aforementioned of the drift layer 6.

[0029] In the electron source 10' or 10" shown in Fig. 43 or 46, electron emission properties thereof include a less dependency to the degree of vacuum, no popping phenomenon occurs in electron emission, and electrons can be stably emitted at high electron emission efficiency. Nevertheless, however, in the electron source 10' or 10", the diode current I_{ps} gradually varies as time passes as shown by a graph P in Fig. 53, and the emitted electron current I_e gradually varies as time passes as shown by a graph Q in the same figure. Specifically, since the diode current I_{ps} gradually increases, and the emitted electron current I_e gradually decreases, the electron emission efficiency gradually decreases. In this case, efforts can be exerted to inhibit the gradual reduction; however, it involves the problem of increasing the power consumption.

[0030] These problems are considered to occur for the following reasons. In the electron source 10' or 10", since the drift layer 6 is formed according to the oxidation of the porous polycrystalline silicon layer, it is difficult to form the silicon oxide films 52 and 64 (refer to Fig. 45) uniformed in quality and thicknesses for the entirety of the drift layer 6. In addition, in the drift layer 6, in comparison between the total film thickness of the silicon oxide films 64 in the region where the fine silicon

crystal 63 is formed and the thickness of the silicon oxide film 52 in a portion where the grain 51 remains, the silicon oxide film 52 tends to be thinner. As such, when a driving voltage (direct-current voltage V_{ps}) is applied to the electron source 10' or 10", and the diode current I_{ps} is thereby applied to flow therethrough, dielectric breakdown gradually occurs in, for example, portions where the film thicknesses are insufficient, defective portions, and portions including a large amount of impurity in the silicon oxide film 52 or the silicon oxide film 64 or both the silicon oxide film 52 and silicon oxide film 64. In a portion where dielectric breakdown has occurred, the resistance values of the silicon oxide films 52 and 64 are reduced, whereas the diode current I_{ps} gradually increases. On the other hand, current contributing to electron emission decreases, and the emitted electron current I_e gradually decreases.

[0031] For the above reasons, when the electron source 10' or 10" is used with, for example, a display, because of dielectric breakdown occurring in the silicon oxide films 52 and 64, problems are caused in that the power consumption and the heating value are gradually increase, thereby causing the luminance to gradually decrease.

[0032] The electron source 10" shown in Fig. 46 or 49 can be used as a display-dedicated electron source shown in Fig. 54. The electron source 10" shown in Fig. 54 includes a dielectric substrate 11 made of a glass substrate; a plurality of wirings 8a (lower electrodes 8) arranged on a main surface of the dielectric substrate 11; a drift layer 6 including a plurality of drift portions 6a formed of an oxidized porous polycrystalline silicon layer in such a manner as to overlap the wirings 8a, and isolating portions 6b that are formed of a polycrystalline silicon layer and that individually fill up spaces between the drift portions 6a; a plurality of surface electrodes 7 that individually oppose the wirings 8a via the drift portions 6a; and a plurality of bus electrodes 25 commonly coupling the plurality of surface electrode 7, which are arranged in the direction intersecting with the wirings 8a, in units of each row on the drift layer 6. The bus electrodes 25 are arranged in such a manner as to cross the drift portions 6a and the isolating portions 6b in the direction intersecting with the wirings 8a.

[0033] In substantially the same manner as that in the electron source 10" shown in Fig. 48, in the electron source 10", when an associated set of the bus electrode 25 and the wiring 8a is selected, electrons can be emitted from a desired intersection. The wiring 8a is formed as a stripe having two end portions in a longitudinal direction on which pads 27 are individually formed. The bus electrode 25 is connected to pads 28 through the individual pads 27.

[0034] However, in the electron source 10" shown in Fig. 54, when an overcurrent flows between the bus electrode 25 and the surface electrode 7, for example, cases can occur in which electrons excessively are emitted from the drift portion 6a corresponding to the

selected intersection, and dielectric breakdown occurs with the intersection corresponding to the selected intersection, thereby causing a short-circuit current to flow between the wiring 8a and the surface electrode 7. This arises problems in that the temperature increases in the drift portion 6a, and the surface electrode 7, and the wiring 8a; and the deterioration continues for the overall electron source, thereby reducing the reliability thereof. That is, problems occur in that deterioration is introduced not only to the drift portion 6a, the surface electrode 7, and/or the wiring 8a that correspond to the selected intersection, but also to the drift portion 6a, the surface electrode 7, and/or the wiring 8a that correspond to an unselected intersection. In addition, since excessive electrons are emitted from the drift portion 6a that caused the dielectric breakdown, when the electron source is used with a display, the luminance of a specific pixel abnormally increases, intrascreen nonuniformity in luminance increases.

[0035] The electron source 10" or the display, which is shown in Fig. 54, includes a faceplate that is made of a glass substrate and that is disposed opposite to the electron source 10".

[0036] As shown in Fig. 55, pixels 31 are provided in units of the individual surface electrodes 7 of the electron source 10". Three phosphor cells 32a, 32b, and 32c corresponding to the three primitive colors of R, G, and B are coated and formed in each of the pixels 31. The individual pixels 31 and the phosphor cells 32a, 32b, and 32c in each of the pixels 31 are individually isolated by isolating layers 33 formed of a black pattern called a black stripe.

[0037] In substantially the same manner as that in the electron source 10" shown in Fig. 48, in the electron source 10" shown in Fig. 54, the per-unit-area electron emission amount in the vicinity of a boundary to the isolating portion 6b is greater than the per-unit-area electron emission amount in a central portion of the drift portion 6a in the direction along which the wiring 8a extends; hence electrons are excessively emitted through the aforementioned vicinity of the boundary. As such, when the configuration is made such that the distance between the pixels 31 is reduced, and the size (area) of the pixel 31 is reduced, bleeding occurs in the individual pixels 31. This makes it difficult to implement high precision display.

DISCLOSURE OF INVENTION

[0038] The present invention is made to solve the above-described problems, and an object thereof is to provide an electron source (field emission-type electron source) that enables a power-consumption reduction to be implemented without reducing a per-unit-area field emission area in comparison to the conventional cases. Another object is to provide an electron source that enables the prevention of emission of excessiv electrons. Still another object is to provide an electron source that

has a high ageing stability as an electron emission property. Yet another object is to provide a high-reliability electron source that can be used as an electron source in a high-precision display.

[0039] An electron source (field emission-type electron source) is characterized by including a substrate, an electroconductive layer formed on a surface of the substrate, a semiconductor layer formed on the electroconductive layer, a strong field drift layer including a drift portion that is made of an oxidized or nitrided porous semiconductor layer and that is formed on the side of the surface of the semiconductor layer, and a surface electrode formed on the strong field drift layer, wherein when voltage is applied to cause the surface electrode to be anodic with respect to the electroconductive layer, electrons injected from the electroconductive layer to the strong field drift layer drift through the strong field drift layer, and are emitted through the surface electrodes; wherein a current restraining member for restraining a current that does not contribute for emission of a current flowing through the drift portion is provided in at least one of the electroconductive layer, the surface electrode, a portion between the electroconductive layer and the drift portions, and a portion between the surface electrode and the drift portion.

[0040] According to a first aspect of the present invention, the current restraining member is a leakage-current preventing member for preventing a current from leaking into the surface electrode from the electroconductive layer, thereby reducing the amount of power consumption. In this case, a leakage-current flow can be prevented, and a reduction in power consumption can be implemented without reducing the per-unit-area field emission area in comparison to the conventional cases.

[0041] In the electron source, the leakage-current preventing member is preferably a semiconductor layer including a pn junction. In this case, the pn junction is used to enable the leakage-current flow to be prevented.

[0042] The leakage-current preventing member may be a semiconductor layer including an n-layer on the side of the electroconductive layer and a p-layer on the side of the surface electrode. In this case, a rectification property of a pn junction of the semiconductor layer including the n-layer and the p-layer to enable the leakage-current flow to be prevented.

[0043] In a case where the leakage-current preventing member is the semiconductor layer including the n-layer on the side of the electroconductive layer and the p-layer on the side of the surface electrode, a low-concentration semiconductor layer may be formed between the p-layer and the drift portion. In this case, a rectification property of a pn junction of the semiconductor layer including the n-layer and the p-layer to enable the leakage-current flow to be prevented. In addition, according to the low-concentration semiconductor layer, the semiconductor layer including the n-layer and the p-layer and drift portion can be spatially isolated, and the drift portion can be formed without being influenced by the

semiconductor layer.

[0044] In the electron source, in a case where the substrate is a semiconductor substrate, the electroconductive layer preferably includes an n-layer on the side of the substrate and a p-layer on the side of the surface electrode. In this case, since the electroconductive layer can be formed using an ordinary silicon process, and the pattern precision of the electroconductive layer can be improved, the display precision can be easily improved.

[0045] An i-layer may be provided between the p-layer and the n-layer. In this case, in comparison to the case where the rectification property of the pn junction is used to prevent the leakage-current flow, improvement in resistance can be implemented.

[0046] In the electron source, the surface electrode is preferably formed of a material that is to be coupled with a Schottky junction to the drift portion. In this case, a rectification property of the Schottky junction is used to enable the leakage-current flow to be prevented. Moreover, since junctions such as a pn junction and a pin junction need not be additionally provided, the structure of the electron source is simplified.

[0047] In the electron source, in a case where a low-concentration semiconductor layer is provided between the electroconductive layer and the drift portion, the electroconductive layer is preferably formed of a material that is to be coupled with a Schottky junction to the low-concentration semiconductor layer. Also in this case, a rectification property of the Schottky junction is used to enable the leakage-current flow to be prevented. Moreover, since junctions such as a pn junction and a pin junction need not be additionally provided, the structure of the electron source is simplified.

[0048] According to a second aspect of the present invention, an isolating portion for isolating the drift portions arranged adjacent to each other is provided. In addition, the current restraining member is a field moderating member for reducing the field intensity in a vicinity of a boundary to the isolating portion in the drift portion to be lower than the field intensity in a central portion of the drift portion to thereby reduce power consumption. In this case, since the field intensity in the vicinity of the boundary becomes lower than the field intensity in the central portion, and most of electrons drifting through the drift portion are led pass through the central portion, excessive electrons can be prevented from being emitted. Moreover, since the field intensity in the vicinity of the boundary becomes lower than the field intensity in the central portion, dielectric breakdown in the vicinity of the boundary can be prevented, and an overcurrent can be prevented from locally flowing between the electroconductive layer and the surface electrode.

[0049] In the electron source, the field moderating member may be an insulator film interposed between the drift portion and the surface electrode in a position corresponding to the vicinity of the boundary. In this case, when a matrix structure is employed in which a plurality of the surface electrodes and a plurality of the

electroconductive layers are arranged in directions intersecting with each other, portions between individual pairs of the adjacent surface electrodes can be insulated by the insulator films.

[0050] The field moderating member may be an insulator film disposed on the electroconductive layer in a position corresponding to the vicinity of the boundary. In this case, when a matrix structure is employed in which a plurality of the surface electrodes and a plurality of the electroconductive layers are arranged in directions intersecting with each other, occurrence of crosstalk can be prevented.

[0051] The field moderating member may be formed of a high resistance layer in a position corresponding to the vicinity of the boundary, and a low resistance layer interposed between the drift portion and the electroconductive layer in a position corresponding to a central portion of the drift portion. In this case, pattern restrictions can be eliminated for the surface electrode and the electroconductive layer.

[0052] The field moderating member may be a cutout portion formed in the surface electrode in a position corresponding to the vicinity of the boundary. In this case, excessive electrons can be prevented from being emitted only by changing the pattern of the surface electrode.

[0053] The field moderating member may be a cutout portion formed in the electroconductive layer in a position corresponding to the vicinity of the boundary. In this case, excessive electrons can be prevented from being emitted only by changing the pattern of the electroconductive layer.

[0054] According to a third aspect of the present invention, the current restraining member is a field moderating layer that is disposed between the drift layer and the surface electrode and that reduces the field intensity of the strong field drift layer to thereby reduce power consumption. In this case, the field intensity in a portion of the drift layer in which dielectric breakdown tends to occur can be reduced, and hence dielectric breakdown in that portion can be prevented. Consequently, the ageing stability in the electron emission properties such as electron emission efficiency can be improved; and when the above is applied to, for example, a display, a gradual reduction in the screen luminance can be prevented. With the field moderating member being provided, the field intensity to be applied between the surface electrode and the electroconductive substrate is reduced. As such, when voltage to be applied between the surface electrode and the electroconductive substrate is controlled to be the same as that in the conventional electron source not including the field moderating layer, an emitted electron current is reduced smaller than that in the case where the field moderating layer is not provided. However, by increasing the voltage, the level of the emitted electron current can be increased to become equivalent to that in the conventional case.

[0055] In the electron source, the field moderating

member may be one of a silicon nitride film and a multilayer film including a silicon nitride film. In this case, since the resistivity of the silicon nitride film is high, the film thickness of the field moderating member can be reduced. In addition, since electrons drifted through the drift layer are not easily diffused in the silicon nitride film, reduction in electron emission efficiency because of the field moderating member being provided can be inhibited.

[0056] The field moderating member may be formed of a silicon nitride film and an silicon oxide film disposed on the silicon nitride film. In this case, since the resistivities of the silicon nitride film and the silicon oxide film are high, the film thickness of the field moderating member can be reduced. In addition, since electrons drifted through the drift layer are not easily diffused in the silicon nitride film, reduction in electron emission efficiency because of the field moderating member being provided can be inhibited. Moreover, in comparison to a case where the surface electrode is formed on the silicon nitride film, since the surface electrode is formed on the silicon oxide film, the electron movement to the surface electrode easily occurs, thereby enabling the electron emission efficiency to increase.

[0057] The field moderating member may be formed of a silicon oxide film, a silicon nitride film disposed on the silicon oxide film, and another silicon oxide film formed on the silicon nitride film. In this case, since the resistivities of the silicon nitride film and the silicon oxide film are high, the film thickness of the field moderating member can be reduced. In addition, since electrons drifted through the drift layer are not easily diffused in the silicon nitride film, reduction in electron emission efficiency because of the field moderating member being provided can be inhibited. Moreover, in comparison to a case where the surface electrode is formed on the silicon nitride film, since the surface electrode is formed on the other silicon oxide film, the electron movement to the surface electrode easily occurs, thereby enabling the electron emission efficiency to increase.

[0058] The field moderating member is preferably formed of a material having a high property of adhesion to the surface electrode. In this case, ageing deterioration and ageing variations in electron emission property that can occur because of separation of the surface electrode can be inhibited.

[0059] For the material having the high property of adhesion, a chrome oxide film may be used. Since the chrome oxide film has a high transmittance property, reduction in electron emission efficiency because of the field moderating member being provided can be inhibited.

[0060] A resistance value of the field moderating member is preferably on the same order of a resistance value of the strong field drift layer. In this case, in comparison to a case where the field moderating member is not provided, the field intensity of the drift layer can be moderated without greatly increasing the voltage to be

applied between the surface electrode and the electroconductive substrate.

[0061] According to a fourth aspect of the present invention, a bus electrode commonly coupling a plurality of the surface electrodes is provided. Moreover, the current restraining member is an overcurrent protection element for limiting a current flowing between the surface electrode and the bus electrode to thereby reduce power consumption. In this case, when an associated set of the bus electrode and a wiring is appropriately selected, and voltage is applied to the selected set, a strong field is applied only to the drift portion positioned below the surface electrode that is proximate to a portion corresponding to an intersection with the wiring in the selected bus electrode, and electrons are thereby emitted. As such, the electron source can be used as an electron source for a display. Moreover, an overcurrent can be prevented from continually flowing to the surface electrode, drift portion, or the wiring, increase in the temperature thereof can be inhibited. Consequently, a deterioration range can be prevented from being increased, and the reliability can be improved.

[0062] The overcurrent protection element may be a member that causes disconnection when an overcurrent flows between the surface electrode and the bus electrode. In this case, when an overcurrent flows to a specific one of the surface electrodes, disconnection is caused between the surface electrode and the bus electrode. As such, an overcurrent can be prevented from continually flowing to the specific one of the surface electrodes. Consequently, a deterioration range can be prevented from being increased because of heat generation, and the reliability can be improved.

[0063] The overcurrent protection element may be a high resistance layer disposed between the surface electrode and the bus electrode. As such, an overcurrent can be prevented from flowing to the surface electrode. Consequently, a deterioration range can be prevented from being increased because of heat generation, and the reliability can be improved.

[0064] The overcurrent protection element may be a thermo-sensitive layer that is disposed between the surface electrode and the bus electrode and that has a positive resistance temperature coefficient. When an overcurrent flows to a specific one of the surface electrodes, and the temperature increases, the resistance of the thermo-sensitive layer increases to thereby limit a current flowing to the surface electrode, a deterioration range can be prevented from being increased because of heat generation, and the reliability can be improved.

[0065] According to fifth aspect of the present invention, the current restraining member is an electron-emission restraining member for restraining electron emission from a peripheral portion of the drift portion to thereby reduce power consumption. In this case, since electron emission from a peripheral portion of the drift portion, when the electron source is adapted in a display, occurrence of bleeding can be prevented, and a high-

precision display can be implemented.

[0066] The current restraining member may be a metal layer. In this case, when the thickness of the metal layer is set larger than the mean free path of electrons, electrons can be prevented from being emitted through a position positioned below the metal layer in a peripheral portion of the drift portion.

[0067] The metal layer is preferably disposed around the drift portion. In this case, when the thickness of the metal layer is set larger than the mean free path of electrons, electrons can be prevented from being emitted through the overall peripheral portion of the drift portion, and a higher-precision display can be implemented.

[0068] In a case where the electron source includes a bus electrode commonly connecting a plurality of the surface electrode, a portion of the bus electrode may be concurrently used as the metal layer. In this case, when the thickness of the bus electrode is set larger than the mean free path of electrons, with the bus electrodes, electrons can be prevented from being emitted through a peripheral portion of the drift portion. In this case, when the electron source is adapted in a display, occurrence of bleeding can be prevented, and a high-precision display can be implemented.

[0069] In a case where the electron source includes a bus electrode commonly connecting a plurality of the surface electrode, the bus electrode is preferably disposed on two sides of a pixel. In this case, when the electron source is adapted in a display, occurrence of bleeding can be prevented, and a high-precision display can be implemented.

BRIEF DESCRIPTION OF THE DRAWINGS

[0070] The present invention will become more fully understood from a detailed description given below and the accompanied drawings. In the accompanying drawings, like reference symbols indicate common configuration elements.

Fig. 1 is a partially-cutaway schematic perspective view of an electron source (field emission-type electron source) according to Embodiment 1 of the present invention.

Figs. 2A to 2E are schematic cross-sectional views showing an electron source according to Embodiment 1 of the present invention or intermediate products during the manufacture thereof, and a manufacturing method for the electron source.

Figs. 3A to 3G are schematic cross-sectional views showing an electron source of Embodiment 2 of the present invention or intermediate products during the manufacture thereof, and a manufacturing method for the electron source.

Fig. 4 is a schematic cross-sectional view of an electron source according to Embodiment 3 of the present invention.

Fig. 5 is a schematic cross-sectional view of an

electron source according to Embodiment 4 of the present invention.

Fig. 6 is a schematic cross-sectional view of an electron source according to Embodiment 5 of the present invention.

Fig. 7 is a schematic cross-sectional view of an electron source according to Embodiment 6 or 7 of the present invention.

Fig. 8 is a schematic cross-sectional view of an electron source according to Embodiment 8 of the present invention.

Fig. 9 is a schematic cross-sectional view of an electron source according to Embodiment 9 of the present invention.

Fig. 10 is a schematic cross-sectional view of an electron source according to Embodiment 10 of the present invention.

Fig. 11 is a schematic cross-sectional view of an electron source according to Embodiment 11 of the present invention.

Fig. 12 is a schematic cross-sectional view of an electron source according to Embodiment 12 of the present invention.

Fig. 13 is a schematic cross-sectional view of an electron source according to Embodiment 13 of the present invention.

Fig. 14 is a partially-cutaway schematic perspective view of an electron source according to Embodiment 14 of the present invention.

Fig. 15 is a partially-cutaway schematic perspective view of an electron source according to Embodiment 15 of the present invention.

Fig. 16A is a schematic cross-sectional view of an electron source according to Embodiment 16 of the present invention, and Fig. 16B is an enlarged schematic cross-sectional view of an essential portion of the electron source shown in Fig. 16A.

Figs. 17A to 17D are schematic cross-sectional views showing an electron source of Embodiment 16 of the present invention or intermediate products during the manufacture thereof, and a manufacturing method for the electron source.

Fig. 18 is a view for explaining the principles of an electron emission mechanism in the electron source according to Embodiment 16 of the present invention.

Fig. 19 is a perspective view of a display using the electron source according to Embodiment 16 of the present invention.

Fig. 20 is a schematic cross-sectional view of an essential portion of an electron source according to Embodiment 17 of the present invention.

Fig. 21 is a schematic cross-sectional view of an essential portion of an electron source according to Embodiment 18 of the present invention.

Figs. 22A to 22D are schematic cross-sectional views showing an electron source of Embodiment 19 of the present invention or intermediate products

during the manufacture thereof, and a manufacturing method for the electron source.

Fig. 23 is a schematic perspective view of an electron source according to Embodiment 20 of the present invention.

Fig. 24 is a schematic plan view of an essential portion of the electron source according to Embodiment 20 of the present invention.

Fig. 25 is a schematic plan view of an essential portion of the electron source according to Embodiment 20 of the present invention.

Fig. 26 is a schematic perspective view of an electron source according to Embodiment 21 of the present invention.

Fig. 27 is a schematic plan view of an essential portion of the electron source according to Embodiment 21 of the present invention.

Fig. 28 is a schematic perspective view of an electron source according to Embodiment 22 of the present invention.

Fig. 29 is a schematic plan view of an essential portion of the electron source according to Embodiment 22 of the present invention.

Fig. 30 is a schematic cross-sectional view of an essential portion of the electron source according to Embodiment 22 of the present invention.

Fig. 31 is a graph showing the relationship between the temperature and resistance values in an electron source according to Embodiment 22 of the present invention.

Fig. 32 is a schematic perspective view of an electron source according to Embodiment 23 of the present invention.

Fig. 33 is a schematic plan view of an essential portion of the electron source according to Embodiment 23 of the present invention.

Fig. 34 is a schematic cross-sectional view of an essential portion of the electron source according to Embodiment 23 of the present invention.

Fig. 35 is a schematic perspective view of an electron source according to Embodiment 24 of the present invention.

Fig. 36 is a schematic plan view of an essential portion of the electron source according to Embodiment 24 of the present invention.

Fig. 37 is a schematic perspective view of an electron source according to Embodiment 25 of the present invention.

Fig. 38 is a schematic plan view of an essential portion of the electron source according to Embodiment 25 of the present invention.

Fig. 39 is a schematic perspective view of an electron source according to Embodiment 26 of the present invention.

Fig. 40 is a schematic plan view of the electron source according to Embodiment 26 of the present invention.

Fig. 41 is a schematic perspective view of an elec-

tron source according to Embodiment 27 of the present invention.

Fig. 42 is a schematic plan view of an essential portion of the electron source according to Embodiment 27 of the present invention.

Fig. 43 is a schematic cross-sectional view of a conventional electron source.

Fig. 44 is a view for explaining the principles of an electron emission mechanism in the conventional electron source shown in Fig. 43.

Fig. 45 is an enlarged schematic cross-sectional view showing an essential portion of the conventional electron source, and an electron-emitting operation in the electron source.

Fig. 46 is a schematic cross-sectional view of another conventional electron source.

Fig. 47 is a view for explaining the principles of an electron emission mechanism in the conventional electron source shown in Fig. 46.

Fig. 48 is a perspective view of a display using the conventional electron source shown in Fig. 46.

Fig. 49 is a schematic cross-sectional view of still another conventional electron source.

Fig. 50 is a schematic circuit diagram for explaining operation of a display employing a passive matrix structure.

Fig. 51 is a schematic circuit diagram for explaining operation of another display employing a passive matrix structure.

Fig. 52 is a schematic cross-sectional view of still another conventional electron source.

Fig. 53 is a graph showing ageing variations of a diode current and an emitted electron current in the conventional electron source.

Fig. 54 is a schematic perspective view of still another electron source.

Fig. 55 is a schematic view of pixels provided on a faceplate of a display using the electron source.

Fig. 56 is a graph showing the relationship between voltage and current when a forward voltage and a backward voltage are applied in the conventional electron source.

BEST MODE FOR CARRYING OUT THE INVENTION

[0071] This application is based on Japanese Patent Applications No. 2000-344301, No. 2000-326274, No. 2000-326276, No. 2001-145527, and 2001-145528 submitted in Japan; and all the contents thereof are incorporated herein.

[0072] Hereinbelow, a number of embodiments of the present invention will be described in detail. For the individual embodiments, like reference numerals/symbols are assigned for common members, i.e., members having substantially the same configurations and functions; and duplicated descriptions thereof are omitted.

(EMBODIMENT 1)

[0073] First, Embodiment 1 of the present invention will be described.

[0074] As shown in Fig. 1, an electron source 10 (field-emission electron source) of Embodiment 1 includes a dielectric substrate 11 made of a glass substrate; a plurality of lower electrodes 8 arranged on a main surface of the dielectric substrate 11; semiconductor layers 20 individually formed in such a manner as to overlap lower electrodes 8; an undoped polycrystalline silicon layer 3 individually formed on the semiconductor layers 20 in such a manner as to overlap the lower electrodes 8 (refer to Fig. 2E) on a plan view; a drift layer 6 (strong field drift layer) including a plurality of drift portions 6a individually formed of an oxidized porous polycrystalline silicon layers on the polycrystalline silicon layer 3 in such a manner as to overlap the lower electrodes 8 on a plan view, and a plurality of isolating portions 6b that are individually formed of a polycrystalline silicon layers and that each fills up spaces between the drift portions 6a; and a plurality of surface electrodes 7 arranged on the drift layer 6 in such a manner as to cross the drift portions 6a and the isolating portions 6b in the direction intersecting (perpendicular to) with the lower electrodes 8.

[0075] The lower electrode 8 is formed of an electroconductive thin film made of a thin aluminum film. The surface electrode 7 is formed of an electroconductive thin film made of a thin metal film (such as a gold film). The film thickness of the surface electrode 7 is set to 15 nm, but the film thickness is not limited thereto. The thickness of the drift layer 6 also is set to 1.5 μm , but the thickness is not limited thereto. The dielectric substrate 11 forms the substrate.

[0076] While the electron source 10 has a passive matrix structure that is similar to that of the conventional electron source 10" shown in Fig. 48, it is different in that the semiconductor layer 20 includes a pn junction that prevents leakage current from flowing to the surface electrode 7 from the lower electrode 8. Specifically, as shown in Fig. 2E, the semiconductor layer 20 includes an n-layer 21 formed on the lower electrode 8, and a p-layer 22 formed on the n-layer 21, thereby forming the pn junction. The semiconductor layer 20 is provided between the surface electrode 7 and the lower electrode 8 with the drift layer 6 added. Thus, the semiconductor layer 20 forms a leakage-current preventing member (reverse-current preventing means) that prevents leakage current from flowing to the surface electrode 7 from the lower electrode 8. The undoped polycrystalline silicon layer 3 provided between the semiconductor layer 20 and the drift portion 6a forms a low-concentration semiconductor layer. As above, since the polycrystalline silicon layer 3, which is the low-concentration semiconductor layer, is formed between the p-layer 22 and the drift portion 6a, the semiconductor layer 20 and the drift portion 6a are spatially isolated from each other. Consequently, the drift portion 6a can be formed without be-

ing influenced by the semiconductor layer 20.

[0077] In substantially the same manner as that in the conventional electron source 10" shown in Fig. 48, in the electron source 10, the drift portions 6a of the drift layer 6 are sandwiched between the plurality of lower electrodes 8 and the plurality of surface electrodes 7. As such, when an associated set of the surface electrode 7 and the lower electrode 8 is appropriately selected, and voltage is applied into the selected set, the strong field is applied to the drift portion 6a in the position corresponding to the intersection of the selected surface electrode 7 and lower electrode 8, and electrons are thereby emitted. Specifically, as in a case where electron sources are individually disposed at intersections in a check pattern formed of the surface electrodes 7 and the lower electrodes 8, when an associated set of the surface electrode 7 and the lower electrode 8 is selected, electrons can be emitted from a desired intersection. The voltage to be applied between the surface electrode 7 and the lower electrode 8 is set to a range of from 10 to 20 V. Each of the surface electrodes 7 is formed as a stripe having two end portions in a longitudinal direction on which pads 27 are individually formed. Similarly, each of the lower electrodes 8 is formed as a stripe having two end portions in a longitudinal direction on which pads 28 are individually formed.

[0078] As in the drift layer 6 shown in Fig. 45, the drift layer 6 includes at least grain 51 (semiconductor crystal) made of columnar polycrystalline silicon disposed on one surface of the dielectric substrate 11; a thin silicon oxide film 52 formed on a surface of the grain 51; fine silicon crystal 63 that is fine semiconductor crystal on the order of nanometer and that is interposed between items of the grain 51; and a silicon oxide film 64 provided as an insulator film that is formed on a surface of the fine silicon crystal 63 and that has a thickness smaller than a crystal grain diameter of the fine silicon crystal 63.

[0079] As described above, in the electron source 10, in addition to the drift layer 6, since the leakage-current preventing member for preventing leakage current from flowing to the surface electrode 7 from the lower electrode 8 is provided between the surface electrode 7 and the lower electrode 8, leakage current can be prevented from flowing, and a reduction in power consumption can be implemented without reducing the per-unit-area field emission area in comparison to the conventional cases. The leakage-current preventing member is formed of the semiconductor layer 20 that includes the pn junction between the drift portion 6a and the lower electrode 8. That is, only by interposing the semiconductor layer 20 that includes the pn junction between the drift portion 6a and the lower electrode 8, a rectification property of the pn junction is used to enable leakage current from flowing. In the electron source 10, electrons injected from the lower electrode 8 do not impinge on the fine silicon crystal 63, they are further accelerated by a field applied to the silicon oxide film 64, and they drift therein. In this case, heat generated in the drift layer 6 is discharged

through the columnar 51. As such, electrons can be emitted at high efficiency without popping phenomenon being caused.

[0080] In Embodiment 1, the drift portion 6a of the drift layer 6 is formed of the oxidized porous polycrystalline silicon layer. However, the isolating portion 6b may be formed of a nitrided porous polycrystalline silicon layer. Alternatively, the drift portion 6a may be formed of an oxidized or nitrided material instead of a porous polycrystalline silicon layer. When the drift portion 6a is formed of a nitrided porous polycrystalline silicon layer, a silicon nitride film is formed for either the silicon oxide film 52 or 64 in the Fig. 45.

[0081] In the electron source 10, while the gold film is used as the electroconductive thin film that forms the surface electrodes 7, the material of the surface electrode 7 is not limited to the gold material. Instead of the material, for example, another material having a small work function, such as an aluminum, chrome, tungsten, nickel, or platinum material, may be used. The work function of gold is 5.10 eV, the work function of aluminum is 4.28 eV, the work function of chrome is 4.50 eV, the work function of tungsten is 4.55 eV, the work function of nickel is 5.15 eV, and the work function of platinum is 5.65 eV. Alternatively, the surface electrode 7 may be formed of an electroconductive thin film formed of a plurality of thin-film electrode layers laminated in the thickness direction. In this case, a material that has a high oxidation resistance and a small work function is preferably used for the top thin-film electrode layer; and a material that has a small work function and a high adhesion property with respect to the drift layer 6 is preferably used for the bottom thin-film electrode layer. The material of the bottom thin-film electrode layer preferably has a property of not easily diffusing into the drift layer 6 in comparison to the top thin-film electrode layer (that is, the diffusion coefficient in the material of the drift layer 6 is small).

[0082] By using the surface electrode 7 that has a small work function and a high adhesion property with respect to the drift layer 6, the surface electrode 7 can be prevented from being isolated from the drift layer 6. Thereby, disconnection of the surface electrode 7 can be prevented, and the ageing stability thereof can be improved. Furthermore, the manufacturing yield can be improved, and cost reduction can be implemented.

[0083] For example, gold is preferably used for the material of the top thin-film electrode layer, and chrome is preferably used for the material of the bottom thin-film electrode layer. However, for the material of the bottom thin-film electrode layer, any one of nickel, platinum, titanium, zirconium, rhodium, and hafnium, or an oxide thereof may be used instead of chrome. In addition, by using any one of nickel, platinum, titanium, zirconium, rhodium, and hafnium, or an oxide thereof for the material of the bottom thin-film electrode layer, raw-material costs for the bottom thin-film electrode layer can be reduced relatively low.

[0084] In the electron source 10, a thin aluminum film is used for the electroconductive layer that forms the lower electrodes 8. However, the material of the lower electrode 8 is not limited to the aluminum material, and an electroconductive material other than the aluminum material may be used therefor.

[0085] Hereinbelow, referring to Figs. 2A to 2E, a manufacturing method for the electron source 10 of the present invention will be described. A cross section of only an essential portion is shown in each of Figs. 2A to 2E.

[0086] The electroconductive layer, which is formed of a thin aluminum film having a predetermined film thickness, is deposited (overlaid) on the entirety of one face (the upper surface in Fig. 2A) of the dielectric substrate 11 according to a sputtering method. Subsequently, a resist layer that has been patterned corresponding to a pattern of the lower electrode 8 is formed on the electroconductive layer. Then, unnecessary portions of the electroconductive layer are etched using the resist layer as a mask. Thereby, the lower electrode 8 made of a patterned electroconductive layer is formed on the aforementioned surface of the dielectric substrate 11. Thereafter, the resist layer is removed. Thereby, an intermediate product having a structure shown in Fig. 2A is obtained.

[0087] Subsequently, the n-layer 21, which is formed of an n-type polycrystalline silicon layer containing phosphorus added as an n-type impurity, is deposited (overlaid) on the entire portion on the side of the aforementioned surface of the dielectric substrate 11 according to a plasma CVD method. Thereby, an intermediate product having a structure shown in Fig. 2B is obtained. Since the n-layer 21 is deposited according to the plasma CVD method, the layer can be deposited by a low-temperature process at a temperature of 600°C or lower (100°C to 600°C). In addition, since the n-layer 21 is doped with an impurity at the layering time according to the plasma CVD method, it can easily be formed.

[0088] Thereafter, the p-layer 22, which is formed of a p-type polycrystalline silicon layer containing boron added as a p-type impurity, is deposited by using, for example, a plasma CVD method. Thereby, an intermediate product having a structure shown in Fig. 2C is obtained. Since the p-layer 22 is overlaid according to the plasma CVD method, it can be deposited by a low-temperature process at a temperature of 600°C or lower (100°C to 600°C). In addition, the p-layer 22 is doped with an impurity at the layering time according to the plasma CVD method, it can easily be formed.

[0089] Subsequently, in each of the n-layer 21 and p-layer 22, oxygen ions are injected to insulate a portion nonoverlapping with the lower electrode 8 from a portion overlapping with the lower electrode 8. Thereafter, an undoped polycrystalline silicon layer 3 having a predetermined film thickness (for example, 1.5 μm) is formed on the entire portion on the side of the aforementioned surface of the dielectric substrate 11 by using, for exam-

ple, a plasma CVD method. Thereby, an intermediate product having a structure shown in Fig. 2D is obtained. Since the undoped polycrystalline silicon layer 3 is overlaid according to the plasma CVD method, it can be deposited by a low-temperature process at a temperature of 600°C or lower (100°C to 600°C). The forming method of the undoped polycrystalline silicon layer 3 is not limited to the plasma CVD method. The undoped polycrystalline silicon layer 3 may be deposited using, for example, a catalytic CVD method, according to a low-temperature process at 600°C or lower.

[0090] After the undoped polycrystalline silicon layer 3 has been formed, an anodic oxidation treatment is performed at predetermined conditions. In the treatment, an anodic oxidation process tank that contains an electrolytic solution composed of a mixed liquid in which a 55-wt% hydrogen fluoride aqueous solution and ethanol are mixed at a ratio of about 1:1 is used, and light is emitted onto the undoped polycrystalline silicon layer 3 with a platinum electrode (not shown) being set to be cathodic and the lower electrode 8 being set to be anodic. Thereby, a porous polycrystalline silicon layer is formed in a portion of the polycrystalline silicon layer 3, which overlaps with the lower electrode 8. Thereafter, the electrolytic solution is removed from the anodic oxidation process tank; and acid (for example, approximately-10% dilute nitric acid, approximately-10% dilute sulfuric acid, and aqua regia) is newly poured into the anodic oxidation process tank. Subsequently, the porous polycrystalline silicon layer is oxidized in a way that the anodic oxidation process tank containing the aforementioned acid, the platinum electrode (not shown) is set to be cathodic, and the lower electrode 8 is set to be anodic. Thereby, the drift portion 6a, which is made of the oxidized porous polycrystalline silicon layer, is formed on the portion overlapping with the lower electrode 8. Subsequently, the surface electrode 7, which is made of a gold film having a predetermined film thickness (for example, 15 nm), is formed on the drift layer 6 according to, for example, a vapor deposition method, using a metal mask. Thereafter, the pads 27 and 28 shown in Figs. 1 are formed, and the electron source 10 shown in Fig. 3E is thereby obtained. In this configuration, the isolating portion 6b is formed with the polycrystalline silicon layer 3 existing in the drift portions 6a and the portions into which the oxygen ions have been injected.

[0091] During the anodic oxidation treatment in Embodiment 1, the power of the light emitted onto the surface of the undoped polycrystalline silicon layer 3 is set at a predetermined level, and the current density also is set at a predetermined level. However, these conditions may be optionally changed (for example, the current density may be set variable). In addition, although the electroconductive thin film used as the surface electrode 7 is formed according to a vapor deposition method, the method of forming the electroconductive thin film is not thereby limited, and, for example, a sputtering method

may be employed.

[0092] According to the above-described manufacturing method, since the n-layer 21 and the p-layer 22 are formed with an impurity being doped at the layering time, the n-layer 21 and the p-layer 22 can easily be formed. Moreover, the n-layer 21 and the p-layer 22 can continually be deposited using the same film-depositing apparatus (for example, a plasma CVD apparatus). Manufacture can be easily performed for the electron source 10 that enables the prevention of a leakage-current flow and the implementation of a power-consumption reduction without reducing the per-unit-area field emission area in comparison to the conventional cases. Furthermore, the semiconductor layers 20, the low-concentration semiconductor layers, and the like are made of polycrystalline silicon. In this case, since an ordinary silicon process, a manufacturing process for a liquid-crystal display apparatus, and the like can be used, a cost reduction can be implemented.

(EMBODIMENT 2)

[0093] Hereinbelow, Embodiment 2 of the present invention will be described. However, an electron source according to Embodiment 2 has the same configuration as the electron source 10 of the Embodiment 1, and only a manufacturing method therefor is different. As such, hereinbelow, only the manufacturing method therefor will be described with reference to Figs. 3A to 3G. Figs. 3A to 3G each show only a cross section of an essential portion.

[0094] The electroconductive layer, which is formed of a thin aluminum film having a predetermined film thickness, is deposited (overlaid) on the entirety of one face (the upper surface in Fig. 3A) of the dielectric substrate 11 according to a sputtering method. Subsequently, a resist layer that has been patterned corresponding to a pattern of the lower electrode 8 is formed on the electroconductive layer. Then, unnecessary portions of the electroconductive layer are etched using the resist layer as a mask. Thereby, the lower electrode 8 made of a patterned electroconductive layer is formed on the aforementioned surface of the dielectric substrate 11. Thereafter, the resist layer is removed. Thereby, an intermediate product having a structure shown in Fig. 3A is obtained.

[0095] Subsequently, an undoped polycrystalline silicon layer 24 is deposited on the entire portion on the side of the aforementioned surface of the dielectric substrate 11 according to, for example, a plasma CVD method. Thereby, an intermediate product having a structure shown in Fig. 3B is obtained. Since the undoped polycrystalline silicon layer 24 is overlaid according to the plasma CVD method, the layer can be deposited by a low-temperature process at a temperature of 600°C or lower (100°C to 600°C).

[0096] In addition, the n-layer 21 is formed while performing doping with an n-type impurity (such as phos-

phorus) according to an ion-injecting method or an impurity-diffusing method on a portion overlapping with the lower electrode 8 in the undoped polycrystalline silicon layer 24. Thereby, an intermediate product having a structure shown in Fig. 3C is obtained. Subsequently, an undoped polycrystalline silicon layer 25 is formed on the entirety portion on the side of the aforementioned surface of the dielectric substrate 11 by using, for example, a plasma CVD method. Thereby, an intermediate product shown in Fig. 3D is obtained. Since the undoped polycrystalline silicon layer 25 is overlaid according to the plasma CVD method, it can be deposited by a low-temperature process at a temperature of 600°C or lower (100°C to 600°C).

[0097] Thereafter, the p-layer 22 is formed while performing doping with an p-type impurity (such as boron) according to an ion-injecting method or an impurity-diffusing method on a portion overlapping with the lower electrode 8 in the undoped polycrystalline silicon layer 25. Thereby, an intermediate product having a structure shown in Fig. 3E is obtained.

[0098] Subsequently, the undoped polycrystalline silicon layer 3 having a predetermined film thickness (for example, 1.5 μm) is formed on the entirety portion on the side of the aforementioned surface of the dielectric substrate 11 by using, for example, a plasma CVD method. Thereby, an intermediate product shown in Fig. 3F is obtained. Since the undoped polycrystalline silicon layer 3 is overlaid according to the plasma CVD method, it can be deposited by a low-temperature process at a temperature of 600°C or lower (100°C to 600°C). The forming method of the undoped polycrystalline silicon layer 3 is not limited to the plasma CVD method. The undoped polycrystalline silicon layer 3 may be deposited using a different method, such as a catalytic CVD method, according to a low-temperature process at 600°C or lower.

[0099] After the undoped polycrystalline silicon layer 3 has been formed, an anodic oxidation treatment is performed at predetermined conditions. In the treatment, an anodic oxidation process tank that contains an electrolytic solution composed of a mixed liquid in which a 55-wt% hydrogen fluoride aqueous solution and ethanol are mixed at a ratio of about 1:1 is used, and light is emitted onto the undoped polycrystalline silicon layer 3 with a platinum electrode (not shown) being set to be cathodic and the lower electrode 8 being set to be anodic. Thereby, a porous polycrystalline silicon layer is formed in a portion of the polycrystalline silicon layer 3, which overlaps with the lower electrode 8. Thereafter, the electrolytic solution is removed from the anodic oxidation process tank; and acid (for example, approximately-10% dilute nitric acid, approximately-10% dilute sulfuric acid, and aqua regia) is newly poured into the anodic oxidation process tank. Subsequently, the porous polycrystalline silicon layer is oxidized in a way that the anodic oxidation process tank containing the aforementioned acid, the platinum electrode (not shown) is

set to be cathodic, and the lower electrode 8 is set to be anodic. Thereby, the drift portion 6a, which is formed of the oxidized porous polycrystalline silicon layer, is formed on the portion overlapping with the lower electrode 8. Subsequently, the surface electrode 7, which is made of a gold film having a predetermined film thickness (for example, 15 nm), is formed on the drift layer 6 according to, for example, a vapor deposition method, using a metal mask. Thereafter, the pads 27 and 28 shown in Fig. 1 are formed, and the electron source 10 shown in Fig. 3G is thereby obtained. In this configuration, the isolating portion 6b is formed with the polycrystalline silicon layer 3 existing in the drift portions 6a, the undoped polycrystalline silicon layer 24, and the undoped polycrystalline silicon layer 25 existing in the p-layer 22.

[0100] In the above-described manner, in the Embodiment 2, the respective n-layer 21 and p-layer 22 are formed while performing doping with an impurity according to the ion-injecting method or the impurity-diffusing method after formation of the polycrystalline silicon layers 24 and 25, which are undoped semiconductor layers. As such, without depending on a film-depositing apparatus, the impurity concentration in the n-layer 21 and the p-layer 22 can be controlled at a high controllability.

(EMBODIMENT 3)

[0101] Hereinbelow, Embodiment 3 of the present invention will be described. The basic configuration of an electron source according to Embodiment 3 is substantially the same as that of the electron source 10 according to Embodiment 1 shown in Fig. 1. As shown in Fig. 4, however, the configuration is different in that the drift portion 6a is formed on the p-layer 22. In Embodiment 3, the semiconductor layers made of the p-layer 22 and the n-layer 21 form a leakage-current preventing member (reverse-current preventing means).

[0102] Thus, in Embodiment 3, as in Embodiment 1, in addition to the drift layer 6, the leakage-current preventing member is provided to prevent leakage current from flowing from the lower electrode 8 to the surface electrode 7. Consequently, without reducing the per-unit-area field emission area in comparison to the conventional cases, a leakage-current flow can be prevented, and a reduction in power consumption can be implemented. Furthermore, the configuration is simplified in comparison to that of Embodiment 1 since the undoped polycrystalline silicon layer 3 used in Embodiment 1 is not provided between the semiconductor layer, which forms the leakage-current preventing member, and the drift portion 6a.

[0103] In comparison to the manufacturing method according to Embodiment 1 or Embodiment 2, a manufacturing method for the electron source 10 of Embodiment 3 is different only in that the entire portion overlapping with the lower electrode 8 is formed porous according to the anodic oxidation treatment.

(EMBODIMENT 4)

[0104] Hereinbelow, Embodiment 4 of the present invention will be described. The basic configuration of an electron source according to Embodiment 4 is substantially the same as that of the electron source 10 according to Embodiment 1 shown in Fig. 1. As shown in Fig. 5, however, the configuration is different in that a silicon substrate 1, which is a semiconductor substrate, is used for the substrate; and the lower electrode 8 in Embodiment 1 is formed of the n-layer 21, which is formed of an n-type silicon region having a relatively high concentration, the p-layer 22, which is formed of a p-type silicon region having a relatively high concentration. In Embodiment 4, the lower electrode formed of the p-layer 22 and the n-layer 21 forms a leakage-current preventing member that prevents a leakage current from flowing to the surface electrode 7 from the lower electrode.

[0105] Thus, in Embodiment 4, as in Embodiment 1, in addition to the drift layer 6, the leakage-current preventing member is provided to prevent leakage current from flowing to the surface electrode 7 from the lower electrode. Consequently, without reducing the per-unit-area field emission area in comparison to the conventional cases, a leakage-current flow can be prevented, and a reduction in power consumption can be implemented.

[0106] In the electron source 10 according to Embodiment 4, since the silicon substrate 1 is used for the substrate, an ordinary silicon process, such as an ion-injecting method or an impurity-diffusing method, can be used to form the n-layer 21 and the p-layer 22 that form the lower electrode. Because of the configuration, the pattern precision of the lower electrode can be improved, and furthermore, no nonuniform portions irregular portion, which can be formed with the formation of the lower electrode, are formed on the aforementioned surface of the substrate. Consequently, discontinuation in the surface electrode 7 can be prevented, and the display precision can be easily improved.

(EMBODIMENT 5)

[0107] Hereinbelow, Embodiment 5 of the present invention will be described. The basic configuration of an electron source according to Embodiment 5 is substantially the same as that of the electron source 10 according to Embodiment 1 shown in Fig. 1. As shown in Fig. 6, however, the configuration is different in that an i-layer 23 formed a low-concentration polycrystalline silicon layer is interposed between the p-layer 22 and the n-layer 21. That is, in Embodiment 5, the semiconductor layer formed of the p-layer 22, the i-layer 23, and the n-layer 21 form a leakage-current preventing member that prevents a leakage current from flowing to the surface electrode 7 from the lower electrode 8.

[0108] Thus, in Embodiment 5, as in Embodiment 1, in addition to the drift layer 6, the leakage-current pre-

venting member is provided to prevent leakage current from flowing to the surface electrode 7 from the lower electrode 8. Consequently, without reducing the per-unit-area field emission area in comparison to the conventional cases, a leakage-current flow can be prevented, and a reduction in power consumption can be implemented. In addition, the semiconductor layer that forms the leakage-current preventing member has a pin junction. As such, compared to Embodiment 1 having the pn junctions, the pressure resistance of the leakage-current preventing member can be improved. The i-layer 23 may be provided between the p-layer 22 and the n-layer 21 of each of the other embodiments.

[0109] A manufacturing method for the electron source 10 of Embodiment 5 is substantially the same as that in either Embodiment 1 or Embodiment 2. The manufacturing method is different only in that a step of forming the i-layer 23 is added; therefore, detailed description thereof is omitted herefrom.

(EMBODIMENT 6)

[0110] Hereinbelow, Embodiment 6 of the present invention will be described. The basic configuration of an electron source according to Embodiment 6 is substantially the same as that of the electron source 10 according to Embodiment 1 shown in Fig. 1. As shown in Fig. 7, however, the configuration is made to be different such that, instead of providing the semiconductor layer 20, a material for forming a Schottky junction in a portion interfacing with the drift portion 6a is used as a material of the surface electrode 7, and a leakage-current preventing member is configured of the surface electrode 7 and the drift portion 6a. For the material of the surface electrode 7, for example, Cu, Pd, Ag, Al, Ti, Mn, Pb, Bi, Ni, Cr, Fe, Mg, Pt, Be, Sn, Ba, In, Co, Sb, IrSi, PtSi, Pt₂Si, MnSi, Pb₂Si, Co₂Si, NiSi, Ni₂Si, or WSi may be used.

[0111] Thus, in Embodiment 6, in addition to the drift layer 6, the leakage-current preventing member is provided between the surface electrode 7 and the lower electrode 8 to prevent leakage current from flowing to the surface electrode 7 from the lower electrode 8. Consequently, without reducing the per-unit-area field emission area in comparison to the conventional cases, a leakage-current flow can be prevented, and a reduction in power consumption can be implemented. In addition, in comparison to Embodiments 1 to 5, the configuration can be simplified since a rectification property of the Schottky junction between the surface electrode 7 and the drift layer 6 can be used to prevent a leakage-current flow, avoiding the needs for additionally providing a junction such as the pn junction or the pin junction.

(EMBODIMENT 7)

[0112] Hereinbelow, Embodiment 7 of the present invention will be described. The basic configuration of an electron source 10 according to Embodiment 7 is sub-

stantially the same as that of the electron source 10 according to Embodiment 6 shown in Fig. 7. However, the configuration is made to be different such that a material for forming a Schottky junction in a portion interfacing with the undoped polycrystalline silicon layer 3 is used as a material of the lower electrode 8, and a leakage-current preventing member is configured of the lower electrode 8 and the undoped polycrystalline silicon layer 3. For the material of the lower electrode 8, for example, Cu, Pd, Ag, Al, Ti, Mn, Pb, Bi, Ni, Cr, Fe, Mg, Pt, Be, Sn, Ba, In, Co, Sb, IrSi, PtSi, Pt₂Si, MnSi, Pb₂Si, CO₂Si, Ni-Si, Ni₂Si, or WSi may be used.

[0113] Thus, in Embodiment 7, in addition to the drift layer 6, the leakage-current preventing member is provided between the surface electrode 7 and the lower electrode 8 to prevent leakage current from flowing to the surface electrode 7 from the lower electrode 8. Consequently, without reducing the per-unit-area field emission area in comparison to the conventional cases, a leakage-current flow can be prevented, and a reduction in power consumption can be implemented. In addition, in comparison to Embodiments 1 to 5, the configuration can be simplified since a rectification property of the Schottky junction between the lower electrode 8 and the undoped polycrystalline silicon layer 3 can be used to prevent a leakage-current flow, avoiding needs for additionally providing a junction such as a pn junction or a pin junction.

(EMBODIMENT 8)

[0114] Hereinbelow, Embodiment 8 of the present invention will be described. The basic configuration of an electron source 10 according to Embodiment 8 is substantially the same as that of the conventional electron source 10" shown in Fig. 46. However, the following aspects are different.

[0115] In specific, as shown in Fig. 8, an electroconductive layer 8 (lower electrode) made of a thin metal film (such as a thin tungsten film) is formed on one surface of a dielectric substrate 11, and a drift layer 6 is formed on the electroconductive layer 8, in which the drift layer 6 includes a drift portion 6a formed of an oxidized porous polycrystalline silicon layer, and isolating portion 6b that is formed of a polycrystalline silicon layer and that is formed around the drift portions 6a. A surface electrode 7 made of a thin metal film (such as a gold film) is formed on the drift layer 6. The drift layer 6 is formed such that after an undoped polycrystalline silicon layer is overlaid on the entire portion on the side of the surface of the dielectric substrate 11 on which the lower electrode 8 is formed, a portion of the polycrystalline silicon layer which corresponds to the drift portion 6a is formed porous according to an anodic oxidation treatment to thereby form a porous polycrystalline silicon layer; and the porous polycrystalline silicon layer is oxidized by using, for example, a rapid thermal technique. The thickness of the electroconductive layer 8 is set to

200 nm, the thickness of the drift layer 6 is set to 1.5 μ m, the thickness of the drift portion 6a is set to 1.0 μ m, and the film thickness of the surface electrode 7 is set to 15 nm. However, these numerical values are examples; that is, the thicknesses are not limited thereto. In Embodiment 8, the dielectric substrate 11 forms the substrate.

[0116] In the drift layer 6 of the electron source 10 according to Embodiment 8, when forming the drift portion 6a, the undoped polycrystalline silicon layer is made porous from the side of the surface in the depth direction, and the porous formation is terminated on a way so that the porous portion does not reach the electroconductive layer 8. As such, a semiconductor layer 3 formed of a portion of the polycrystalline silicon layer is interposed between the drift portion 6a and the electroconductive layer 8. However, the undoped polycrystalline silicon layer may be formed porous from the side of the surface thereof in the depth direction up to a portion reaching the electroconductive layer 8, and the drift portion 6a may be formed on the electroconductive layer 8 without the semiconductor layer 3 being interposed.

[0117] The basic performance of the electron source 10 according to Embodiment 8 is substantially the same as that of the conventional electron source 10" shown in Figs. 46 and 47; hence, a detailed description thereof is omitted herefrom. In addition, the electron emission process is substantially the same as in the cases of the conventional electron sources 10' and 10" (refer to Fig. 45); hence, a detailed description thereof is omitted herefrom.

[0118] In Embodiment 8, the drift portion 6a is formed of the oxidized porous polycrystalline silicon layer. However, the drift portion 6a may be formed of a nitrided porous polycrystalline silicon layer. Alternatively, the drift portion 6a may be formed of an oxidized or nitrided porous semiconductor layer, which is different from the porous polycrystalline silicon layer. When the drift portion 6a is formed of a nitrided porous polycrystalline silicon layer, a silicon nitride film is formed for either the silicon oxide film 52 or 64 shown in the Fig. 45.

[0119] The electron source 10 of Embodiment 8 is characterized in that insulator films 16 are each interposed between a vicinity of a boundary to the isolating portion 6b in the drift portion 6a and the surface electrode 7. Specifically, in the drift portion 6a, while the surface electrode 7 is overlaid in a central portion, the insulator films 16 are each formed in the vicinity of the boundary to the isolating portion 6b. In this particular case, the insulator films 16 are formed of a silicon oxide film. However, the material of the insulator film 16 is not limited to the silicon oxide film. For example, the insulator film 16 may be formed of a silicon nitride film.

[0120] As above, in the electron source 10 of Embodiment 8, since the insulator film 16 is interposed between the vicinity of the boundary to the isolating portion 6b in the drift portion 6a and the surface electrode 7, the field intensity in the aforementioned vicinity of the boundary

becomes sufficiently lower than the field intensity in the central portion of the drift portion 6a. As such, most electrons drifting in the drift portion 6a are led to pass through the central portion of the drift portion 6a, thereby enabling excessive electrons to be prevented from being emitted through the aforementioned vicinity of the boundary. Moreover, since the field intensity in the aforementioned vicinity of the boundary becomes lower than the field intensity in the central portion, dielectric breakdown that can occur in the aforementioned vicinity of the boundary can be prevented, and an overcurrent can be prevented from locally flowing between the electroconductive layer 8 and the surface electrode 7. Furthermore, in the electron source 10 of Embodiment 8, as in the conventional electron source 10' shown in Fig. 43, the dependency to the degree of vacuum as an electron emission property is reduced. Concurrently, a popping phenomenon does not occur during electron emission, and electrons can stably be emitted at high electron emission efficiency.

[0121] In Embodiment 8, the insulator film 16 forms a field-moderating member (field-moderating means) that reduces the field intensity in the vicinity of the boundary to the isolating portion 6b to be lower than the field intensity in the central portion of the drift portion 6a. Specifically, the field-moderating member is formed of the insulator film 16 interposed between the aforementioned vicinity of the boundary and the surface electrode 7. As such, when a matrix structure is employed in which a plurality of the surface electrodes 7 and a plurality of the electroconductive layers 8 are arranged in directions intersecting with each other, portions between individual pairs of the adjacent surface electrodes 7 can be insulated by the insulator films 16.

(EMBODIMENT 9)

[0122] Hereinbelow, Embodiment 9 of the present invention will be described. The basic configuration of an electron source 10 according to Embodiment 9 is substantially the same as that of the conventional electron source 10" shown in Fig. 46. However, the following aspects are different.

[0123] In specific; as shown in Fig. 9, an electroconductive layer 8 made of a thin metal film (such as a thin tungsten film) is formed on one surface of a dielectric substrate 11, and insulator films 17 each made of a silicon oxide film patterned to have a predetermined shape are formed on the electroconductive layer 8. A drift layer 6 is formed on the side of the surface of the dielectric substrate 11 on which the electroconductive layer 8 and the insulator films 17 are formed, in which the drift layer 6 includes a drift portion 6a formed of an oxidized porous polycrystalline silicon layer, and isolating portion 6b that is formed of a polycrystalline silicon layer and that is formed around the drift portions 6a. A surface electrode 7 made of a thin metal film (such as a gold film) is formed on the drift layer 6. The drift layer 6 is formed such that

after an undoped polycrystalline silicon layer is overlaid on the entire portion on the side of the surface of the dielectric substrate 11 on which the lower electrode 8 and the insulator films 17 are formed, a portion of the polycrystalline silicon layer which corresponds to the drift portion 6a is formed porous according to an anodic oxidation treatment to thereby form a porous polycrystalline silicon layer; and the porous polycrystalline silicon layer is oxidized by using, for example, a rapid thermal technique. The thickness of the electroconductive layer 8 is set to 200 nm, the thickness of the drift layer 6 is set to 1.5 μm , the thickness of the drift portion 6a is set to 1.0 μm ; and the film thickness of the surface electrode 7 is set to 15 nm. However, these numerical values are examples; that is, the thicknesses are not limited thereto. In Embodiment 9, the dielectric substrate 11 forms the substrate.

[0124] In the drift layer 6 of the electron source 10 according to Embodiment 9, when forming the drift portion 6a, the undoped polycrystalline silicon layer is made porous from the side of the surface in the depth direction, and the porous formation is terminated on a way so that the porous portion does not reach the electroconductive layer 8. As such, a semiconductor layer 3 formed of a portion of the polycrystalline silicon layer is interposed between the drift portion 6a and the electroconductive layer 8. However, the undoped polycrystalline silicon layer may be formed porous from the side of the surface thereof in the depth direction up to a portion reaching the electroconductive layer 8, and the drift portion 6a may be formed on the electroconductive layer 8 without the semiconductor layer 3 being interposed.

[0125] The basic performance of the electron source 10 according to Embodiment 9 is substantially the same as that of the conventional electron source 10" shown in Figs. 46 and 47; hence, a detailed description thereof is omitted herefrom. In addition, the electron emission process is substantially the same as in the cases of the conventional electron sources 10' and 10" (refer to Fig. 45); hence, a detailed description thereof is omitted herefrom.

[0126] In Embodiment 9, the drift portion 6a is formed of the oxidized porous polycrystalline silicon layer. However, the drift portion 6a may be formed of a nitrided porous polycrystalline silicon layer. Alternatively, the drift portion 6a may be formed of an oxidized or nitrided porous semiconductor layer, which is different from the porous polycrystalline silicon layer. When the drift portion 6a is formed of a nitrided porous polycrystalline silicon layer, a silicon nitride film is formed for either the silicon oxide film 52 or 64 shown in the Fig. 45.

[0127] The electron source 10 of Embodiment 9 is characterized in that the insulator films 17 are each interposed between a vicinity of the boundary to the isolating portion 6b in the drift portion 6a and the electroconductive layer 8. Specifically, in the drift portion 6a, while only the semiconductor layer 3 is interposed between portions interfacing with the electroconductive

layer 8 in a central portion thereof, the semiconductor layer 3 and the insulator films 17 are interposed in the vicinity of the boundary. In Embodiment 9, the insulator films 17 are formed of a silicon oxide film. However, the material of the insulator film 17 is not limited to the silicon oxide film. For example, the insulator film 17 may be formed of a silicon nitride film.

[0128] As above, in the electron source 10 of Embodiment 9, since the insulator film 17 is each interposed between the vicinity of the boundary to the isolating portion 6b in the drift portion 6a and the electroconductive layer 8, the field intensity in the aforementioned vicinity of the boundary becomes sufficiently lower than the field intensity in the central portion of the drift portion 6a. As such, most electrons drifting in the drift portion 6a are led to pass through the central portion of the drift portion 6a. Consequently, excessive electrons can be prevented from being emitted through the aforementioned vicinity of the boundary. Moreover, since the field intensity in the aforementioned vicinity of the boundary becomes lower than the field intensity in the central portion, dielectric breakdown that can occur in the aforementioned vicinity of the boundary can be prevented, and an over-current can be prevented from locally flowing between the electroconductive layer 8 and the surface electrode 7. Furthermore, in the electron source 10 of Embodiment 9, as in the conventional electron source 10' shown in Fig. 43, the dependency to the degree of vacuum as an electron emission property is reduced. Concurrently, a popping phenomenon does not occur during electron emission, and electrons can stably be emitted at high electron emission efficiency.

[0129] In Embodiment 9, the insulator film 17 forms a field-moderating member (field-moderating means) that reduces the field intensity in the vicinity of the boundary to the isolating portion 6b to be lower than the field intensity in the central portion of the drift portion 6a. Specifically, the field-moderating member is formed of the insulator film 17 interposed between the aforementioned vicinity of the boundary and the surface electrode 7. As such, when a matrix structure is employed in which a plurality of the surface electrodes 7 and a plurality of the electroconductive layers 8 are arranged in directions intersecting with each other, occurrence of crosstalk can be prevented.

(EMBODIMENT 10)

[0130] Hereinbelow, Embodiment 10 of the present invention will be described. The basic configuration of an electron source 10 according to Embodiment 10 is substantially the same as that of the conventional electron source 10" shown in Fig. 46. However, the following aspects are different.

[0131] In specific, as shown in Fig. 10, an electroconductive layer 8 made of a thin metal film (such as a thin tungsten film) is formed on one surface of a dielectric substrate 11, and a drift layer 6 is formed on the elec-

troconductive layer 8, in which the drift layer 6 includes a drift portion 6a formed of an oxidized porous polycrystalline silicon layer, and isolating portion 6b that is formed of a polycrystalline silicon layer and that is formed around the drift portions 6a. A surface electrode 7 made of a thin metal film (such as a gold film) is formed on the drift layer 6. The drift layer 6 is formed such that after an undoped polycrystalline silicon layer is overlaid on the side of the surface of the dielectric substrate 11, a portion of the polycrystalline silicon layer which corresponds to the drift portion 6a is formed porous according to an anodic oxidation treatment to thereby form a porous polycrystalline silicon layer; and the porous polycrystalline silicon layer is oxidized by using, for example, a rapid thermal technique. The thickness of the electroconductive layer 8 is set to 200 nm, the thickness of the drift layer 6 is set to 1.5 μm , the thickness of the drift portion 6a is set to 1.0 μm , and the film thickness of the surface electrode 7 is set to 15 nm. However, these numerical values are examples; that is, the thicknesses are not limited thereto. In Embodiment 10, the dielectric substrate 11 forms the substrate.

[0132] The basic performance of the electron source 10 according to Embodiment 10 is substantially the same as that of the conventional electron source 10" shown in Figs. 46 and 47; hence, a detailed description thereof is omitted herefrom. In addition, the electron emission process is substantially the same as in the cases of the conventional electron sources 10' and 10" (refer to Fig. 45); hence, a detailed description thereof is omitted herefrom.

[0133] In Embodiment 10, the drift portion 6a is formed of the oxidized porous polycrystalline silicon layer. However, the drift portion 6a may be formed of a nitrided porous polycrystalline silicon layer. Alternatively, the drift portion 6a may be formed of an oxidized or nitrided porous semiconductor layer, which is different from the porous polycrystalline silicon layer. When the drift portion 6a is formed of a nitrided porous polycrystalline silicon layer, a silicon nitride film is formed for either the silicon oxide film 52 or 64 shown in the Fig. 45.

[0134] The electron source 10 of Embodiment 10 is characterized in that a high-resistance first semiconductor layer 23b is interposed between a vicinity of the boundary to the isolating portion 6b in the drift portion 6a and the electroconductive layer 8, and a low-resistance second semiconductor layer 23a is interposed between the central portion in the drift portion 6a and the electroconductive layer 8. The second semiconductor layer 23a is doped with an impurity to cause the resistance thereof to be sufficiently lower in comparison to that of the first semiconductor layer 23b. For performing doping with the impurity, for example, an ion implantation technique or a diffusion technique may be used.

[0135] As above, in the electron source 10 of Embodiment 10, the first semiconductor layer 23b is interposed between the vicinity of the boundary to the isolating portion 6b in the drift portion 6a and the electroconductive

layer 8, and the second semiconductor layer 23a having a resistance sufficiently lower than that of the first semiconductor layer 23b is interposed between the central portion of the drift portion 6a and the electroconductive layer 8. Accordingly, the field intensity in the aforementioned vicinity of the boundary becomes sufficiently lower than the field intensity in the central portion of the drift portion 6a. Because of this arrangement, most electrons drifting in the drift portion 6a are led to pass through the central portion of the drift portion 6a. Consequently, excessive electrons can be prevented from being emitted through the aforementioned vicinity of the boundary. Moreover, since the field intensity in the aforementioned vicinity of the boundary becomes lower than the field intensity in the central portion, dielectric breakdown that can occur in the aforementioned vicinity of the boundary can be prevented, and an overcurrent can be prevented from locally flowing between the electroconductive layer 8 and the surface electrode 7. In the electron source 10 of Embodiment 10, as in the conventional electron source 10' shown in Fig. 43, the dependency to the degree of vacuum as an electron emission property is reduced. Concurrently, a popping phenomenon does not occur during electron emission, and electrons can stably be emitted at high electron emission efficiency.

[0136] In Embodiment 10, the first semiconductor layer 23b and the second semiconductor layer 23a form a field-moderating member that reduces the field intensity in the vicinity of the boundary to the isolating portion 6b to be lower than the field intensity in the central portion of the drift portion 6a. That is, since the field-moderating member is formed of the high-resistance first semiconductor layer 23b, which is interposed between the aforementioned vicinity of the boundary and the electroconductive layer 8, and the low-resistance second semiconductor layer 23a, which is interposed between the central portion of the drift portion 6a and the electroconductive layer 8, restrictions for patterns of the individual surface electrode 7 and electroconductive layer 8 can be eliminated.

(EMBODIMENT 11)

[0137] Hereinbelow, Embodiment 11 of the present invention will be described. The basic configuration of an electron source 10 according to Embodiment 11 is substantially the same as that of the conventional electron source 10" shown in Fig. 46. However, the following aspects are different.

[0138] In specific, as shown in Fig. 11, an electroconductive layer 8 made of a thin metal film (such as a thin tungsten film) is formed on one surface of a dielectric substrate 11, and a drift layer 6 is formed on the electroconductive layer 8, in which the drift layer 6 includes a drift portion 6a formed of an oxidized porous polycrystalline silicon layer, and isolating portion 6b that is formed of a polycrystalline silicon layer and that is formed around the drift portions 6a. A surface electrode

7 made of a thin metal film (such as a gold film) is formed on the drift layer 6. The drift layer 6 is formed such that after an undoped polycrystalline silicon layer is overlaid on the side of the surface of the dielectric substrate 11 on which the electroconductive layer 8 is formed, a portion of the polycrystalline silicon layer which corresponds to the drift portion 6a is formed porous according to an anodic oxidation treatment to thereby form a porous polycrystalline silicon layer; and the porous polycrystalline silicon layer is oxidized by using, for example, a rapid thermal technique. The thickness of the electroconductive layer 8 is set to 200 nm, the thickness of the drift layer 6 is set to 1.5 μm , the thickness of the drift portion 6a is set to 1.0 μm , and the film thickness of the surface electrode 7 is set to 15 nm. However, these numerical values are examples; that is, the thicknesses are not limited thereto. In Embodiment 11, the dielectric substrate 11 forms the substrate.

[0139] In the drift layer 6 of the electron source 10 according to Embodiment 11, when forming the drift portion 6a, the undoped polycrystalline silicon layer is made porous from the side of the surface in the depth direction, and the porous formation is terminated on a way so that the porous portion does not reach the electroconductive layer 8. As such, a semiconductor layer 3 formed of a portion of the polycrystalline silicon layer is interposed between the drift portion 6a and the electroconductive layer 8. However, the undoped polycrystalline silicon layer may be formed porous from the side of the surface thereof in the depth direction up to a portion reaching the electroconductive layer 8, and the drift portion 6a may be formed on the electroconductive layer 8 without the semiconductor layer 3 being interposed.

[0140] The basic performance of the electron source 10 according to Embodiment 11 is substantially the same as that of the conventional electron source 10" shown in Figs. 46 and 47; hence, a detailed description thereof is omitted herefrom. In addition, the electron emission process is substantially the same as in the cases of the conventional electron sources 10' and 10" (refer to Fig. 45); hence, a detailed description thereof is omitted herefrom.

[0141] In Embodiment 11, the drift portion 6a is formed of the oxidized porous polycrystalline silicon layer. However, the drift portion 6a may be formed of a nitrided porous polycrystalline silicon layer. Alternatively, the drift portion 6a may be formed of an oxidized or nitrided porous semiconductor layer, which is different from the porous polycrystalline silicon layer. When the drift portion 6a is formed of a nitrided porous polycrystalline silicon layer, a silicon nitride film is formed for either the silicon oxide film 52 or 64 shown in the Fig. 45.

[0142] The electron source 10 of Embodiment 11 is characterized in that, cutout portions 7a are each formed in the surface electrode 7 in a region of the drift portion 6a which overlaps with the vicinity of the boundary to the isolating portion 6b. That is, in the drift portion 6a, while the surface electrode 7 is overlaid in a central

portion, the surface electrode 7 does not exist in the aforementioned vicinity of the boundary. Specifically, in the left-right direction in Fig. 11, the width of the surface electrode 7 is smaller than the width of the drift portion 6a, and two ends of the surface electrode 7 are positioned more inwardly than two ends of the drift portion 6a.

[0143] As above, in the electron source 10 of Embodiment 11, the cutout portion 7a is formed in the surface electrode 7 in the region overlapping with the vicinity of the boundary to the isolating portion 6b. Accordingly, the field intensity in the aforementioned vicinity of the boundary becomes sufficiently lower than the field intensity in the central portion of the drift portion 6a. Because of this arrangement, most electrons drifting in the drift portion 6a are led to pass through the central portion of the drift portion 6a. Consequently, excessive electrons can be prevented from being emitted through the aforementioned vicinity of the boundary. Moreover, since the field intensity in the aforementioned vicinity of the boundary becomes lower than the field intensity in the central portion, dielectric breakdown that can occur in the aforementioned vicinity of the boundary can be prevented, and an overcurrent can be prevented from locally flowing between the electroconductive layer 8 and the surface electrode 7. In the electron source 10 of Embodiment 11, as in the conventional electron source 10' shown in Fig. 43, the dependency to the degree of vacuum as an electron emission property is reduced. Concurrently, a popping phenomenon does not occur during electron emission, and electrons can stably be emitted at high electron emission efficiency.

[0144] In Embodiment 11, the cutout portion 7a in the surface electrode 7 forms a field-moderating member that reduces the field intensity in the vicinity of the boundary to the isolating portion 6b to be lower than the field intensity in the central portion of the drift portion 6a. Consequently, excessive electrons can be prevented from being emitted only by changing the pattern of the surface electrode 7 (i.e., only by changing a mask for patterning the surface electrode 7).

(EMBODIMENT 12)

[0145] Hereinbelow, Embodiment 12 of the present invention will be described. The basic configuration of an electron source 10 according to Embodiment 12 is substantially the same as that of the conventional electron source 10' shown in Fig. 46. However, the following aspects are different.

[0146] In specific, as shown in Fig. 12, an electroconductive layer 8 made of a thin metal film (such as a thin tungsten film) is formed on one surface of a dielectric substrate 11, and a drift layer 6 is formed on the electroconductive layer 8, in which the drift layer 6 includes a drift portion 6a formed of an oxidized porous polycrystalline silicon layer, and isolating portion 6b that is formed of a polycrystalline silicon layer and that is

formed around the drift portions 6a. A surface electrode 7 made of a thin metal film (such as a gold film) and patterned to have a predetermined shape is formed on the drift layer 6. The drift layer 6 is formed such that after an undoped polycrystalline silicon layer is overlaid on the side of the surface of the dielectric substrate 11 on which the electroconductive layer 8 is formed, a portion of the polycrystalline silicon layer which corresponds to the drift portion 6a is formed porous according to an anodic oxidation treatment to thereby form a porous polycrystalline silicon layer; and the porous polycrystalline silicon layer is oxidized by using, for example, a rapid thermal technique. The thickness of the electroconductive layer 8 is set to 200 nm, the thickness of the drift layer 6 is set to 1.5 μm , the thickness of the drift portion 6a is set to 1.0 μm , and the film thickness of the surface electrode 7 is set to 15 nm. However, these numerical values are examples; that is, the thicknesses are not limited thereto. In Embodiment 12, the dielectric substrate 11 forms the substrate.

[0147] In the drift layer 6 of the electron source 10 according to Embodiment 12, when forming the drift portion 6a, the undoped polycrystalline silicon layer is made porous from the side of the surface in the depth direction, and the porous formation is terminated on a way so that the porous portion does not reach the electroconductive layer 8. As such, a semiconductor layer 3 formed of a portion of the polycrystalline silicon layer is interposed between the drift portion 6a and the electroconductive layer 8. However, the undoped polycrystalline silicon layer may be formed porous from the side of the surface thereof in the depth direction up to a portion reaching the electroconductive layer 8, and the drift portion 6a may be formed on the electroconductive layer 8 without the semiconductor layer 3 being interposed.

[0148] The basic performance of the electron source 10 according to Embodiment 12 is substantially the same as that of the conventional electron source 10' shown in Figs. 46 and 47; hence, a detailed description thereof is omitted herefrom. In addition, the electron emission process is substantially the same as in the cases of the conventional electron sources 10' and 10" (refer to Fig. 45); hence, a detailed description thereof is omitted herefrom.

[0149] In Embodiment 12, the drift portion 6a is formed of the oxidized porous polycrystalline silicon layer. However, the drift portion 6a may be formed of a nitrided porous polycrystalline silicon layer. Alternatively, the drift portion 6a may be formed of an oxidized or nitrided porous semiconductor layer, which is different from the porous polycrystalline silicon layer. When the drift portion 6a is formed of a nitrided porous polycrystalline silicon layer, a silicon nitride film is formed for either the silicon oxide film 52 or 64 shown in the Fig. 45.

[0150] The electron source 10 of Embodiment 12 is characterized in that, cutout portions 8c are each formed in the surface electrode 8 in a region of the drift portion 6a which overlaps with the vicinity of the boundary to

the isolating portion 6b. That is, while the electroconductive layer 8 is formed in a portion overlapping with a central portion of the drift portion 6a, the electroconductive layer 8 does not exist in the aforementioned vicinity of the boundary. Specifically, in the left-right direction in Fig. 12, the width of the surface electrode 7 is smaller than the width of the electroconductive layer 8. Concurrently, two ends of the electroconductive layer 8 are positioned more inwardly than two ends of the drift portion 6a.

[0151] As above, in the electron source 10 of Embodiment 12, the cutout portion 8c is each formed in the electroconductive layer 8 in the region overlapping with the vicinity of the boundary to the isolating portion 6b. Accordingly, the field intensity in the aforementioned vicinity of the boundary becomes sufficiently lower than the field intensity in the central portion of the drift portion 6a. Because of this arrangement, most electrons drifting in the drift portion 6a are led to pass through the central portion of the drift portion 6a. Consequently, excessive electrons can be prevented from being emitted through the aforementioned vicinity of the boundary. Moreover, since the field intensity in the aforementioned vicinity of the boundary becomes lower than the field intensity in the central portion, dielectric breakdown that can occur in the aforementioned vicinity of the boundary can be prevented, and an overcurrent can be prevented from locally flowing between the electroconductive layer 8 and the surface electrode 7. In the electron source 10 of Embodiment 12, as in the conventional electron source 10' shown in Fig. 43, the dependency to the degree of vacuum as an electron emission property is reduced. Concurrently, a popping phenomenon does not occur during electron emission, and electrons can stably be emitted at high electron emission efficiency.

[0152] In Embodiment 12, the cutout portion 8c in the electroconductive layer 8 forms a field-moderating member that reduces the field intensity in the vicinity of the boundary to the isolating portion 6b to be lower than the field intensity in the central portion of the drift portion 6a. Consequently, in Embodiment 12, excessive electrons can be prevented from being emitted only by changing the pattern of the electroconductive layer 8 (i. e., only by changing a mask for patterning the electroconductive layer 8).

(EMBODIMENT 13)

[0153] Hereinbelow, Embodiment 13 of the present invention will be described. The basic configuration of an electron source 10 according to Embodiment 13 is substantially the same as that of the conventional electron source 10" shown in Fig. 48. However, the following aspects are different.

[0154] In specific, as shown in Fig. 13, the configuration includes a dielectric substrate 11 made of glass substrate; a plurality of lower electrodes 8 that are formed of an electroconductive layer and that are arranged on

one surface of the dielectric substrate 11; a drift layer 6 including a plurality of drift portions 6a that are formed of an oxidized porous polycrystalline silicon layer and that are individually formed in such a manner as to overlap with the lower electrodes 8, and a plurality of isolating portions 6b that are formed of a polycrystalline silicon layer and that each fill up a space between the drift portions 6a; and a plurality of surface electrodes 7 arranged in directions intersecting with (perpendicular to) each other in such a manner as to cross the drift portions 6a and the isolating portions 6b on the drift layer 6. The lower electrodes 8 are formed of a thin tungsten film. The surface electrodes 7 are formed of an electroconductive thin film made of a gold film. The thickness of the lower electrode 8 is set to 200 nm, and the thickness of the surface electrode 7 is set to 15 nm. However, these thicknesses are not limited to the above numerical values. The thickness of the drift layer 6 is set to 1.5 μm ; and the thickness of the drift portion 6a is set to 1.5 μm . The thicknesses of the drift layer 6 and the drift portion 6a are not limited to the above numerical values. In Embodiment 13, the dielectric substrate 11 forms the substrate.

[0155] In substantially the same manner as that in the conventional electron source 10" shown in Fig. 48, in the electron source 10 of Embodiment 13, the drift portions 6a of the drift layer 6 are sandwiched between the plurality of lower electrodes 8 and the plurality of surface electrodes 7. As such, when an associated set of the surface electrode 7 and the lower electrode 8 is appropriately selected, and voltage is applied into the selected set, a strong field is applied only to the drift portion 6a in the position corresponding to the intersection of the selected surface electrode 7 and lower electrode 8, and electrons are thereby emitted. Specifically, as in a case where electron sources are individually disposed at intersections in a check pattern formed of the surface electrodes 7 and the lower electrodes 8, when an associated set of the surface electrode 7 and the lower electrode 8 is selected, electrons can be emitted from a desired intersection. The voltage to be applied between the surface electrode 7 and the lower electrode 8 is set to a range of from 10 to 20 V. Each of the surface electrodes 7 is formed as a stripe having two end portions in a longitudinal direction on which pads 27 are individually formed. Similarly, each of the lower electrodes 8 is formed as a stripe having two end portions in a longitudinal direction on which pads 28 are individually formed.

[0156] The basic performance of the electron source 10 according to Embodiment 13 is substantially the same as that of the conventional electron source 10" shown in Figs. 46 and 47; hence, a detailed description thereof is omitted herefrom. In addition, the electron emission process and a microstructure of the drift layer 6 (drift portion 6a) are substantially the same as in the cases of the conventional electron sources 10' and 10" (refer to Fig. 45); hence, a detailed description thereof is omitted herefrom.

[0157] In Embodiment 13, the drift portion 6a is formed of the oxidized porous polycrystalline silicon layer. However, the drift portion 6a may be formed of a nitrided porous polycrystalline silicon layer. Alternatively, the drift portion 6a may be formed of an oxidized or nitrided porous semiconductor layer, which is different from the porous polycrystalline silicon layer. When the drift portion 6a is formed of a nitrided porous polycrystalline silicon layer, a silicon nitride film is formed for either the silicon oxide film 52 or 64 shown in the Fig. 45.

[0158] The electron source 10 of Embodiment 13 is characterized in that insulator films 16 are each interposed between a vicinity of the boundary to the isolating portion 6b in the drift portion 6a and the surface electrode 7. Specifically, in the drift portion 6a, while the surface electrode 7 is overlaid in a central portion thereof, the insulator films 16 each formed in the aforementioned vicinity of the boundary. In addition, insulator films 26 formed of a silicon oxide film are each formed on the side of the surface of the drift portion 6a in such a manner as to overlap with the adjacent surface electrodes 7. In the insulator film 26, two end portions in the longitudinal direction of the drift portion 6a overlap with an end portion in the width direction of each of the surface electrodes 7.

[0159] In Embodiment 13, the individual insulator films 16 and 26 are formed of a silicon oxide film. However, the material is not limited to the silicon oxide films, and the films may be formed of, for example, a silicon nitride film.

[0160] As above, in the electron source 10 of Embodiment 13, since the insulator film 16 is interposed between the vicinity of the boundary to the isolating portion 6b in the drift portion 6a and the surface electrode 7, the field intensity in the aforementioned vicinity of the boundary becomes sufficiently lower than the field intensity in the central portion of the drift portion 6a. As such, most electrons drifting in the drift portion 6a are led to pass through the central portion of the drift portion 6a. Thereby, excessive electrons can be prevented from being emitted through the aforementioned vicinity of the boundary. In addition, an individual space between the surface electrodes 7 can be insulated by the insulator film 16. Moreover, since the insulator films 26 made of the silicon oxide film are each formed on the side of the surface of the drift layer 6 in such a manner as to overlap with the adjacent surface electrodes 7, electrons can be prevented from being emitted through portions between individual pairs of the adjacent surface electrodes 7; and concurrently, crosstalk can be prevented. Furthermore, since the field intensity in the aforementioned vicinity of the boundary becomes lower than the field intensity in the central portion, dielectric breakdown that can occur in the aforementioned vicinity of the boundary can be prevented, and an overcurrent can be prevented from locally flowing between the lower electrode 8 and the surface electrode 7. In the electron source 10 of Embodiment 13, as in the conventional electron source 10'

shown in Fig. 43, the dependency to the degree of vacuum as an electron emission property is reduced. Concurrently, a popping phenomenon does not occur during electron emission, and electrons can stably be emitted at high electron emission efficiency.

[0161] In Embodiment 13, the insulator film 16 forms a field-moderating member that reduces the field intensity in the vicinity of the boundary to the isolating portion 6b to be lower than the field intensity in the central portion of the drift portion 6a.

(EMBODIMENT 14)

[0162] Hereinbelow, Embodiment 14 of the present invention will be described. The basic configuration of an electron source 10 according to Embodiment 14 is substantially the same as that of the conventional electron source 10" shown in Fig. 48. However, the following aspects are different.

[0163] In specific, as shown in Fig. 14, the configuration includes a dielectric substrate 11 made of glass substrate; a plurality of lower electrodes 8 that are formed of an electroconductive layer and that are arranged on one surface of the dielectric substrate 11; a drift layer 6 including a plurality of drift portions 6a that are formed of an oxidized porous polycrystalline silicon layer and that are individually formed in such a manner as to overlap with the lower electrodes 8, and a plurality of isolating portions 6b that are formed of a polycrystalline silicon layer and that each fill up a space between the drift portions 6a; and a plurality of surface electrodes 7 arranged in directions intersecting with (perpendicular to) the lower electrodes 8 in such a manner as to cross the drift portions 6a and the isolating portions 6b on the drift layer 6. The lower electrodes 8 are formed of a thin tungsten film. The surface electrodes 7 are formed of an electroconductive thin film made of a gold film. The thickness of the lower electrode 8 is set to 200 nm, and the thickness of the surface electrode 7 is set to 15 nm. However, these thicknesses are not limited to the above numerical values. The thickness of the drift layer 6 is set to 1.5 μm , and the thickness of the drift portion 6a is set to 1.0 μm . The thicknesses of the drift layer 6 and the drift portion 6a are not limited to the above numerical values. In Embodiment 14, the dielectric substrate 11 forms the substrate.

[0164] As in the conventional electron source 10" shown in Fig. 48, in the electron source 10 of Embodiment 14, the drift portions 6a of the drift layer 6 are sandwiched between the plurality of lower electrodes 8 and the plurality of surface electrodes 7. As such, when an associated set of the surface electrode 7 and the lower electrode 8 is appropriately selected, and voltage is applied into the selected set, a strong field is applied only to the drift portion 6a in the position corresponding to the intersection of the selected surface electrode 7 and lower electrode 8, and electrons are thereby emitted. Specifically, as in a case where electron sources

are individually disposed at intersections in a check pattern formed of the surface electrodes 7 and the lower electrodes 8, when an associated set of the surface electrode 7 and the lower electrode 8 is selected, electrons can be emitted from a desired intersection. The voltage to be applied between the surface electrode 7 and the lower electrode 8 is set to a range of from 10 to 20 V. Each of the surface electrodes 7 is formed as a stripe having two end portions in a longitudinal direction on which pads 27 are individually formed. Similarly, each of the lower electrodes 8 is formed as a stripe having two end portions in a longitudinal direction on which pads 28 are individually formed.

[0165] The basic performance of the electron source 10 according to Embodiment 14 is substantially the same as that of the conventional electron source 10" shown in Figs. 46 and 47; hence, a detailed description thereof is omitted herefrom. In addition, the electron emission process and a microstructure of the drift layer 6 (drift portion 6a) are substantially the same as in the cases of the conventional electron sources 10' and 10" (refer to Fig. 45); hence, a detailed description thereof is omitted herefrom.

[0166] In Embodiment 14, the drift portion 6a is formed of the oxidized porous polycrystalline silicon layer. However, the drift portion 6a may be formed of a nitrided porous polycrystalline silicon layer. Alternatively, the drift portion 6a may be formed of an oxidized or nitrided porous semiconductor layer, which is different from the porous polycrystalline silicon layer. When the drift portion 6a is formed of a nitrided porous polycrystalline silicon layer, a silicon nitride film is formed for either the silicon oxide film 52 or 64 shown in the Fig. 45.

[0167] The electron source 10 of Embodiment 14 is characterized in that the insulator films 17 are each formed on the lower electrode 8 in the portion between the vicinity of the boundary to the isolating portion 6b and the electroconductive layer 8. That is, while the central portion of the drift portion 6a is overlaid on the electroconductive layer 8, the insulator film 17 is formed in the aforementioned vicinity of the boundary. In addition, insulator films 37 made of a silicon oxide film is each formed on the drift portion 6a on the side of the wiring 8a in such a manner as to overlap with the adjacent surface electrodes 7. In the insulator film 37, two end portions in the longitudinal direction of the drift portion 6a overlap with an end portion of the surface electrodes 7 in the width direction.

[0168] In Embodiment 14, the individual insulator films 17 and 37 are formed of a silicon oxide film. However, the material is not limited to the silicon oxide films, and the films may be formed of, for example, a silicon nitride film.

[0169] As above, in the electron source 10 of Embodiment 14, since the insulator film 16 is interposed between the vicinity of the boundary to the isolating portion 6b in the drift portion 6a and the electroconductive layer 8, the field intensity in the aforementioned vicinity of the

boundary becomes sufficiently lower than the field intensity in the central portion of the drift portion 6a. As such, most electrons drifting in the drift portion 6a are led to pass through the central portion of the drift portion 6a. Thereby, excessive electrons can be prevented from being emitted through the aforementioned vicinity of the boundary. Moreover, since the insulator films 37 made of the silicon oxide film are each formed on the side of the surface of the drift layer 6 in such a manner as to overlap with the adjacent surface electrodes 7, electrons can be prevented from being emitted through portions between individual pairs of the adjacent surface electrodes 7; and concurrently, crosstalk can be prevented. Furthermore, since the field intensity in the aforementioned vicinity of the boundary becomes lower than the field intensity in the central portion, dielectric breakdown that can occur in the aforementioned vicinity of the boundary can be prevented, and an overcurrent can be prevented from locally flowing between the lower electrode 8 and the surface electrode 7. Furthermore, in the electron source 10 of Embodiment 14, as in the conventional electron source 10' shown in Fig. 43, the dependency to the degree of vacuum as an electron emission property is reduced. Concurrently, a popping phenomenon does not occur during electron emission, and hence electrons can stably be emitted at high electron emission efficiency.

[0170] In Embodiment 14, the insulator film 17 forms a field-moderating member that reduces the field intensity in the vicinity of the boundary to the isolating portion 6b to be lower than the field intensity in the central portion of the drift portion 6a.

(EMBODIMENT 15)

[0171] Hereinbelow, Embodiment 15 of the present invention will be described. The basic configuration of an electron source 10 according to Embodiment 15 is substantially the same as that of the conventional electron source 10" shown in Fig. 48. However, the following aspects are different.

[0172] In specific, as shown in Fig. 15, the configuration includes a dielectric substrate 11 made of glass substrate; a plurality of lower electrodes 8 that are formed of an electroconductive layer and that are arranged on one surface of the dielectric substrate 11; a drift layer 6 including a plurality of drift portions 6a that are formed of an oxidized porous polycrystalline silicon layer and that are individually formed in such a manner as to overlap with the lower electrodes 8, and a plurality of isolating portions 6b that are formed of a polycrystalline silicon layer and that each fill up a space between the drift portions 6a; and a plurality of surface electrodes 7 arranged in directions intersecting with (perpendicular to) the lower electrodes 8 on the drift layer 6. The drift layer 6 includes drift portions 6a that are made of an oxidized porous polycrystalline silicon layer and that are each formed of on the side of the surface electrodes 7 in a

region where the surface electrode 7 and the lower electrode 8 overlap with each other; isolating portions 6b that are made of an undoped polycrystalline silicon layer and that are each formed between the adjacent drift portions 6a in the longitudinal direction of the surface electrode 7; high-resistance first semiconductor layers 23b each interposed between the vicinity of a boundary to the isolating portion 6a in the drift portion 6a and the lower electrode 8; low-resistance second semiconductor layers 23a each formed between the drift portion 6a and the lower electrode 8; and isolating portions 6c each formed between the adjacent drift portions 6a in the longitudinal direction of the lower electrode 8.

[0173] The lower electrodes 8 are formed of a thin tungsten film. The surface electrodes 7 are formed of an electroconductive thin film made of a gold film. The thickness of the lower electrode 8 is set to 200 nm, and the thickness of the surface electrode 7 is set to 15 nm. However, these thicknesses are not limited to the above numerical values. The thickness of the drift layer 6 is set to 1.5 μm , and the thickness of the drift portion 6a is set to 1.0 μm . The thicknesses of the drift layer 6 and the drift portion 6a are not limited to the above numerical values. The dielectric substrate 11 forms the substrate.

[0174] As in the conventional electron source 10' shown in Fig. 48, in the electron source 10 of Embodiment 15, the drift portions 6a of the drift layer 6 are sandwiched between the plurality of lower electrodes 8 and the plurality of surface electrodes 7. As such, when an associated set of the surface electrode 7 and the lower electrode 8 is appropriately selected, and voltage is applied into the selected set, a strong field is applied only to the drift portion 6a in the position corresponding to the intersection of the selected surface electrode 7 and lower electrode 8, and electrons are thereby emitted. Specifically, as in a case where electron sources are individually disposed at intersections in a check pattern formed of the surface electrodes 7 and the lower electrodes 8, when an associated set of the surface electrode 7 and the lower electrode 8 is selected, electrons can be emitted from a desired intersection. The voltage to be applied between the surface electrode 7 and the lower electrode 8 is set to a range of from 10 to 20 V. Each of the surface electrodes 7 is formed as a stripe having two end portions in a longitudinal direction on which pads 27 are individually formed. Similarly, each of the lower electrodes 8 is formed as a stripe having two end portions in a longitudinal direction on which pads 28 are individually formed.

[0175] The basic performance of the electron source 10 according to Embodiment 15 is substantially the same as that of the conventional electron source 10' shown in Figs. 46 and 47; hence, a detailed description thereof is omitted herefrom. In addition, the electron emission process and a microstructure of the drift layer 6 (drift portion 6a) are substantially the same as in the cases of the conventional electron sources 10' and 10" (refer to Fig. 45); hence, a detailed description thereof

is omitted herefrom.

[0176] In Embodiment 15, the drift portion 6a is formed of the oxidized porous polycrystalline silicon layer. However, the drift portion 6a may be formed of a nitrided porous polycrystalline silicon layer. Alternatively, the drift portion 6a may be formed of an oxidized or nitrided porous semiconductor layer, which is different from the porous polycrystalline silicon layer. When the drift portion 6a is formed of a nitrided porous polycrystalline silicon layer, a silicon nitride film is formed for either the silicon oxide film 52 or 64 shown in the Fig. 45.

[0177] The electron source 10 of Embodiment 15 is characterized in that the high-resistance first semiconductor layers 23b are each formed between the vicinity of the boundary to the isolating portion 6b in the drift portion 6a and the electroconductive layer 8, and the second semiconductor layers 23a having a resistance that is sufficiently lower than that of the first semiconductor layer 23b are each interposed between the central portion of the drift portion 6a and the lower electrode 8.

[0178] As above, in the electron source 10 of Embodiment 15, the high-resistance first semiconductor layers 23b are each formed between the vicinity of the boundary to the isolating portion 6b and the electroconductive layer 8, and the second semiconductor layers 23a having a resistance that is sufficiently lower than that of the first semiconductor layer 23b are each interposed between the central portion of the drift portion 6a and the lower electrode 8. Accordingly, the field intensity in the aforementioned vicinity of the boundary becomes sufficiently lower than the field intensity in the central portion of the drift portion 6a. As such, most electrons drifting in the drift portion 6a are led to pass through the central portion of the drift portion 6a. Thereby, excessive electrons can be prevented from being emitted through the aforementioned vicinity of the boundary. Moreover, since portions between the adjacent drift portions 6a are insulated by the isolating portions 6b or the isolating portions 6c, electrons can be prevented from being emitted through portions between individual pairs of the adjacent surface electrodes 7; and concurrently, crosstalk can be prevented. Furthermore, since the field intensity in the aforementioned vicinity of the boundary becomes lower than the field intensity in the central portion, dielectric breakdown that can occur in the aforementioned vicinity of the boundary can be prevented, and an over-current can be prevented from locally flowing between the lower electrode 8 and the surface electrode 7. Furthermore, in the electron source 10 of Embodiment 15, as in the conventional electron source 10' shown in Fig. 43, the dependency to the degree of vacuum as an electron emission property is reduced. Concurrently, a popping phenomenon does not occur during electron emission, and hence electrons can stably be emitted at high electron emission efficiency.

[0179] In Embodiment 15, the first semiconductor layer 23b and the second semiconductor layer 23a form a

field-moderating member that reduces the field intensity in the vicinity of the boundary to the isolating portion 6b to be lower than the field intensity in the central portion of the drift portion 6a. That is, since the field-moderating member is formed of the high-resistance first semiconductor layer 23b, which is interposed between the aforementioned vicinity of the boundary and the lower electrode 8, and low-resistance second semiconductor layer 23a, which is interposed between the central portion of the drift portion 6a, restrictions for patterns of the individual surface electrode 7 and electroconductive layer 8 can be eliminated.

[0180] In Embodiments 8 to 15, the gold film is used for the electroconductive thin film for forming the surface electrodes 7. However, the material for the surface electrode 7 is not limited to gold. As described in Embodiment 1, the material having a small work function, such as aluminum, chrome, tungsten, nickel, or platinum, may be used. The important matters and advantages in using these materials are as described in Embodiment 1.

[0181] In Embodiments 8 to 15, the thin tungsten film is used for the lower electrodes 8 (electroconductive layers). However, the material is not limited to tungsten. Instead of tungsten, any one of aluminum, nickel, cobalt, chrome, hafnium, molybdenum, palladium, platinum, rhodium, tantalum, titanium, and zirconium. Moreover, materials that may be used include an oxide of one of the aforementioned metal materials, an alloy composed of a plurality of materials selected from the aforementioned metal materials, or an alloy composed of Si and selected materials from the aforementioned materials (for example, an aluminum-based Al—Si alloy).

[0182] The lower electrodes 8 may be formed of an electroconductive layer composed of a plurality of electroconductive layers laminated in the thickness direction. In this case, aluminum is preferably used for an electroconductive film formed as the top layer; and copper, which has a low resistance in comparison to aluminum, is preferably used for an electroconductive film as the bottom layer.

(EMBODIMENT 16)

[0183] Hereinbelow, Embodiment 16 of the present invention will be described.

[0184] Figs. 16A and 16B are schematic cross-sectional views each showing an electron source 10 according to Embodiment 16 of the present invention. Figs. 17A to 17D each show a cross section of an electron source 10 in a primary step of manufacturing the electron source 10, or an intermediate product thereof during the manufacture thereof. For an electroconductive substrate, Embodiment 16 uses a monocrystalline n-type silicon substrate 1 that has a resistivity that is relatively close to a conductor resistivity (for example, a (100) substrate of which resistivity is about 0.01 Ωcm to 0.02 Ωcm).

[0185] A basic configuration of the electron source 10 according to Embodiment 16 is substantially the same as that of the conventional electron source 10' shown in Fig. 43. Specifically, as shown in Fig. 16A, a drift layer 6 made of an oxidized porous polycrystalline silicon layer is formed on a main surface of the n-type silicon substrate 1. A field moderating layer 9 made of a silicon nitride film is formed on the drift layer 6. A surface electrode 7 made of an electroconductive thin film (for example, a gold film) is formed on the field moderating layer 9. An ohmic electrode 2 is formed on a reverse surface of the n-type silicon substrate 1. As described above, in Embodiment 16, the drift layer 6 is formed on the main surface of the n-type silicon substrate 1. However, an undoped polycrystalline silicon layer may be formed between the main surface of the n-type silicon substrate 1 and the drift layer 6.

[0186] Also in the electron source 10 of Embodiment 16, electrons can be emitted according to operational principles similar to those for the conventional electron source 10' shown in Figs. 43 and 44. In specific, as shown in Fig. 18, similarly to the conventional case, a direct-current voltage V_{ps} is applied between the surface electrode 7 and the n-type silicon substrate 1; and concurrently, a direct-current voltage V_c is applied between a collector electrode 12 and the surface electrode 7. With the individual direct-current voltages V_{ps} and V_c being appropriately set, electrons injected from the n-type silicon substrate 1 are led to drift through a drift layer 6, and are led to be emitted through the field moderating layer 9 and the surface electrode 7 (Single dotted lines in Fig. 16 each represent the flow of electrons, e⁻ emitted through the surface electrode 7). A material having a small work function is used for the surface electrode 7, and the film thickness of the surface electrode 7 is set to about 1 to 15 nm.

[0187] In specific, as shown in Fig. 16B, as in the conventional electron source 10' shown in Fig. 45, a drift portion 6a includes grain 51 made of columnar polycrystalline silicon; a thin silicon oxide film 52 formed on one surface of the grain 51; fine silicon crystal 63 on the order of nanometer that is interposed between items of the grain 51; and a silicon oxide film 64 that is formed on one surface of the fine silicon crystal 63 and that has a film thickness smaller than a crystal grain diameter of the fine silicon crystal 63. It is considered that, in the drift layer 6, the surface of grain included in a polycrystalline silicon layer 3 (refer to Figs. 17A to 17D) prior to an anodic oxidation treatment described below becomes porous, and the crystal condition is maintained with the residual grain 51. As such, a most part of the field applied to the drift layer 6 is caused to intensively pass through the silicon oxide film 64 accelerated by a strong field applied on the silicon oxide film 64, the injected electrons e⁻ are accelerated by the strong field between the items of grain 51, and are thereby caused to drift upward as viewed in Fig. 16B. Electrons that have reached the surface of the drift layer 6 are hot electrons

that easily pass through the surface electrode 7 and that are emitted into a vacuum.

[0188] In the electron source 10, the higher the ratio (I_e/I_{ps}) of an emitted electron current I_e with respect to a diode current I_{ps} , the higher the electron emission efficiency. In the electron source 10, electrons can be emitted even when the direct-current voltage V_{ps} to be applied between the surface electrode 7 and the ohmic electrode 2 is in a low range of from 10 to 20 V. In the electron source 10, the dependency to degree of vacuum as an electron emission property is reduced. Moreover, no popping phenomenon occurs, hence electrons can be stably emitted at a high electron emission efficiency.

[0189] The electron source 10 of Embodiment 16 is characterized in that the field moderating layer 9 is provided between the drift layer 6 and the surface electrode 7 for moderating the field intensity of the drift layer 6 in a state where the direct-current voltage V_{ps} (driving voltage) is applied. Since the field moderating layer 9 is interposed between the drift layer 6 and the surface electrode 7, the field moderating layer 9 is preferably formed of a material not allowing easy diffusion of electrons, and the film thickness thereof is preferably small sufficient to cause electrons drifted through the drift layer 6 to reach the surface electrode 7 without substantially being diffused. When the resistance value of the field moderating layer 9 is one digit or smaller than the resistance value of the drift layer 6, effects of moderating the field intensity of the drift layer 6 decrease. When the resistance value of the field moderating layer 9 is greater than the resistance value of the drift layer 6, the driving voltage needs to be increased. As such, the resistance value of the field moderating layer 9 is preferably on the same order as the resistance value of the drift layer 6. In the Embodiment 16, the thickness of the drift layer 6 is set to 1.5 μm , and the film thickness of the field moderating layer 9 is set to 50 nm. However, the film thickness of the field moderating layer 9 is not limited to 50 nm, and the film thickness may be appropriately set within a range of from 10 nm to 100 nm corresponding to the resistance value of the drift layer 6. While the resistance value of the drift layer 6 varies depending on the thickness of the drift layer 6 and the driving voltage, the values are ranged from several tens $\text{k}\Omega$ to several tens $\text{M}\Omega$.

[0190] In the electron source 10 of Embodiment 16, since the field moderating layer 9 for moderating the field intensity of the drift layer 6 is provided between the drift layer 6 and the surface electrode 7, a reduction can be implemented for the field intensity in a portion where dielectric breakdown tends to occur in either the silicon oxide film 52 or 64, dielectric breakdown in the aforementioned portion can be prevented, and ageing variations in the diode current I_{ps} and the emitted electron current I_e can be minimized. Consequently, the ageing stability in the electron emission properties such as electron emission efficiency can be improved; and when the

above is applied to, for example, a display, a gradual reduction in the screen luminance can be prevented. With the field moderating layer 9 being provided, the intensity of a field to be applied to the drift layer 6 is reduced. For this reason, when the driving voltage (direct-current voltage V_{ps}) to be applied between the surface electrode 7 and the n-type silicon substrate 1 (ohmic electrode 2) formed of the electroconductive substrate is controlled to be the same as that in the conventional electron source 10' not including the field moderating layer 9, the emitted electron current I_e is reduced smaller than that in the case where the field moderating layer 9 is not provided. However, by increasing the driving voltage, the level of the emitted electron current I_e can be increased to become equivalent to that in the conventional electron source 10'.

[0191] In the electron source 10 of Embodiment 16, the field moderating layer 9 is formed of the silicon nitride film. Since the silicon nitride film a high resistivity, the film thickness of the field moderating layer 9 may be reduced. In addition, since the silicon nitride film has a high electron transmittance, and it does not allow easy diffusion of electrons that has drifted through the drift layer 6, the reduction in electron emission efficiency according to the provision of the field moderating layer 9 can be inhibited. In Embodiment 16, the n-type silicon substrate 1 is used for the electroconductive substrate. The electroconductive substrate is provided to form the cathode of the electron source 10, to support the drift layer 6 in the vacuum, and to inject electrons into the drift layer 6. As such, the electroconductive substrate may be only to be appropriate to form the cathode of the electron source 10 and to support the drift layer 6. As such, the electroconductive substrate is not limited to the n-type silicon substrate, and it may instead be a metal substrate made of, for example, a chrome material. Alternatively, as shown in Fig. 46, the electroconductive substrate may be a substrate having the lower electrode 8 formed on the side of one surface (the side of the main surface) of the dielectric substrate 11 formed of, for example, glass. With the glass substrate having one surface on which the lower electrode 8 is formed, area-enlargement and cost reduction can be implemented for the electron source in comparison to a configuration using a semiconductor substrate.

[0192] In Embodiment 16, a gold film is used as the electroconductive thin film that forms the surface electrodes 7. However, the material of the surface electrode 7 is not limited to the gold material. As described in Embodiment 1, a different material having a small work function, such as aluminum, chrome, tungsten, nickel, or platinum, may be used. Matters to be noted and advantages in using the materials are as described in Embodiment 1.

[0193] In Embodiment 16, the drift layer 6 is formed of the oxidized porous polycrystalline silicon layer. However, the drift portion 6 may instead be formed of a nitrated porous polycrystalline silicon layer. Alternatively,

the drift portion 6 may be formed of an oxidized or nitrated porous semiconductor layer, which is different from the porous polycrystalline silicon layer. When the drift portion 6 is formed of a nitrated porous polycrystalline silicon layer, a silicon nitride film is formed for either the silicon oxide film 52 or 64 shown in the Fig. 16B. In addition, in Embodiment 16, the field moderating layer 9 is formed of the silicon nitride film. However, the field moderating layer 9 may instead be formed of, for example, an oxidized silicon film, amorphous silicon, amorphous carbonized silicon, a metal oxide film, or a metal nitride film, which has a low electron diffusion property and a high resistivity.

[0194] Hereinbelow, referring to Figs. 17A to 17D, a manufacturing method for the electron source 10 shown in Figs. 16A and 16B will be described.

[0195] First, the ohmic electrode 2 is formed on a reverse surface of the n-type silicon substrate 1. Then, the undoped polycrystalline silicon layer (polycrystalline silicon thin film) 3 having a predetermined film thickness (for example, 1.5 μm) is deposited (overlaid) on the main surface of the n-type silicon substrate 1 according to, for example, an LPCVD method. Thereby, an intermediate product having a structure shown in Fig. 17A is obtained.

[0196] Subsequently, an anodic oxidation treatment is performed at predetermined conditions such that an anodic oxidation process tank that contains an electrolytic solution composed of a mixed liquid in which a 55-wt% hydrogen fluoride aqueous solution and ethanol are mixed at a ratio of about 1:1 is used, and light is emitted onto the polycrystalline silicon layer 3 with a platinum electrode (not shown) being set to be cathodic and the n-type silicon substrate 1 (ohmic electrode 2) being set to be anodic. Thereby, a porous polycrystalline silicon layer 4 is formed, and an intermediate product having a structure shown in Fig. 17B is obtained. Conditions of the anodic oxidation treatment are as follows. A surface of the polycrystalline silicon layer 3 is set to be in contact with the electrolytic solution, the current density is fixed at 30 mA/cm², and the electroconduction time is set to 10 seconds. For an optical source of emitting light onto the polycrystalline silicon layer 3, a 500W tungsten lamp is used. In Embodiment 16, the polycrystalline silicon layer 3 is formed porous to reach the n-type silicon substrate 1 in the depth direction. However, it may be formed porous up to a midway point in the depth direction. In this case, a portion of the polycrystalline silicon layer 3 remains between the n-type silicon substrate 1 and the porous polycrystalline silicon layer 4.

[0197] After completion of the anodic oxidation treatment, a rapid thermal oxidation technique using a rapid thermal technique is used to perform rapid thermal oxidation for the porous polycrystalline silicon layer 4. This forms the drift layer 6 made of the oxidized porous polycrystalline silicon layer. Thereafter, the field moderating layer 9 having a predetermined film thickness (for ex-

ample, 50 nm) is formed on the drift layer 6 according to a sputtering method; and thereby, an intermediate product having a structure shown in Fig. 17C is obtained. The rapid thermal oxidation is performed using a lamp annealing device. The flow rate of oxygen gas is set to 0.3 L/min (300 sccm) in a standard condition. In Embodiment 16, since oxidation is performed for the porous polycrystalline silicon layer 4 according to the rapid thermal oxidation, the temperature can be raised up to an oxidation temperature within several seconds, thereby enabling the inhibition of entailed oxidation that can occur as a problem with an ordinary oxidizing device of a furnace core pipe type when materials are fed into the furnace.

[0198] The field moderating layer 9 is formed according to the sputtering method in the following steps. Nitride silicon is used as a target, and a chamber is evacuated up to a level of 1×10^{-4} Pa or lower in a standard condition. Then, an Ar gas is introduced into the chamber at a flow rate of 0.03 L/min (30 sccm) in a standard condition, and the pressure in the chamber is thereby adjusted to 5×10^{-1} Pa. Thereafter, a high frequency power of 1 W/cm² is fed between electrodes arranged in the chamber, and a silicon nitride film is formed.

[0199] After the field moderating layer 9 has been formed, a gold film used as the surface electrode 7 is formed according to, for example, a vapor deposition method; and thereby, the electron source 10, as shown in Fig. 17B, is obtained.

[0200] In the manufacture employing the above-described manufacturing method, the electron source 10 having a high ageing stability can be obtained only by adding a step of overlaying the field moderating layer 9 on the drift layer 6 to the manufacturing method for the conventional electron source 10'.

[0201] The electron source 10 manufactured according to the above-described manufacturing method has a less dependency to the degree of vacuum as an electron emission property. Concurrently, since no popping phenomenon occurs, electrons can be stably emitted. Moreover, for the semiconductor substrate, such as a polycrystalline silicon substrate, used for the electroconductive substrate, since a substrate formed of, for example, a glass substrate on which an electroconductive layer (such as an ITO film) is formed, can be used; as such, in comparison to the Spindt-type electrode, electron source area can be enlarged and costs can be reduced.

[0202] When the electroconductive substrate is formed of a semiconductor substrate, the polycrystalline silicon layer 3 may be formed according to a sputtering method instead of the LPCVD method. Alternatively, the film deposition may be performed such that amorphous silicon is deposited according to a plasma CVD method, and thereafter, the film is crystallized. When the electroconductive substrate is formed of a glass substrate on which an electroconductive layer is formed, the polycrystalline silicon layer 3 may be formed such that amorphous

phous silicon is deposited on the electroconductive layer according to a CVD method, and the silicon layer is annealed. The method for forming the polycrystalline silicon layer 3 on the electroconductive layer is not limited to the CVD method. For example, a CGS (continuous grain silicon) method or a catalytic CVD method process may instead be employed.

[0203] For an oxidation method for the porous polycrystalline silicon layer 4, electrochemical oxidation using acid (for example, dilute sulfuric acid, dilute nitric acid, or aqua regia) may be employed instead of the thermal oxidation method. Before the porous polycrystalline silicon layer 4 is electrochemically oxidized with acid, a treatment may be performed such that the layer is immersed in an oxidant solution (such as nitric acid, sulfuric acid, hydrochloric acid, or hydrogen peroxide water) for a time necessary to allow a polar surface of the porous polycrystalline silicon layer 4 to be oxidized; and then, by hydrogen atoms terminating silicon atoms are substituted with oxygen atoms. Alternatively, oxidation may be performed such that ultraviolet rays are emitted onto the layer in a gas phenomenon containing at least one of oxygen and ozone. Still alternatively, oxidation may be performed such that the layer is exposed to plasma in a gas phenomenon containing at least one of oxygen and ozone. Still alternatively, oxidation may be performed such that the layer is heated in a gas phenomenon containing at least one of oxygen and ozone (the heat temperature may be appropriately set within a temperature range of from 100°C to 600°C). Still alternatively, oxidation may be performed such that ultraviolet rays are emitted onto the layer, and the layer is heated (the heat temperature may be appropriately set within a temperature range of from 100°C to 600°C). Still alternatively, oxidation may be performed such that, in a gas phenomenon containing at least one of oxygen and ozone, ultraviolet rays are emitted onto the layer, and the layer is heated (the heat temperature may be appropriately set within a temperature range of from 100°C to 600°C). Further alternatively, oxidation may be performed employing combined methods of the above. Yet alternatively, oxidation may be performed employing methods that are different from the above oxidation methods. In consequence, the diffusion amount of impurities into either the silicon oxide film 52 or 64 is reduced, and the dielectric strength is improved. The porous polycrystalline silicon layer 4 is thus oxidized, but it may instead be nitrided.

[0204] The method of forming the field moderating layer 9 is not limited to the sputtering method, and a different method such as a vapor deposition method or an ion plating method may instead be employed. Moreover, the method of forming the surface electrode 7 is not limited to the vapor deposition method; and a method such as a sputtering method may instead be used.

[0205] Hereinbelow, a display using the electron source 10 of Embodiment 16 will be described with reference to Fig. 19.

[0206] As shown in FIG. 19, the display includes a glass substrate 33 disposed opposite to the surface electrodes 7 of the electron source 10. Collector electrodes 31 are arranged in a striped state on a surface of the glass substrate 33, which opposes the electron source 10. A phosphor layer 32 that emits visible light according to electron beams emitted through the surface electrodes 7 is disposed in such a manner as to cover the collector electrodes 31. The surface electrodes 7 are formed in a striped state. A spacing between the electron source 10 and the glass substrate 33 is maintained in a vacuum state.

[0207] In the display, the surface electrode 7 is formed as a stripe, and the collector electrodes 31 also is formed as a stripe to extend perpendicular to the surface electrode 7. When one of the collector electrodes 31 and one of the surface electrodes 7 are selected, and voltage (field) is applied thereto, electrons are emitted only from the surface electrode 7 to which the voltage is applied. In the surface electrode 7 from which the electrons have been emitted, only electrons emitted from a region thereof through which the voltage has been applied to the corresponding collector electrode 31 are accelerated, and the accelerated electrons cause the phosphor layer 32 covering the collector electrode 31 to emit light.

[0208] In short, in the display shown in Fig. 19, when voltage is applied to specific one of the surface electrodes 7 and specific one of the collector electrodes 31, a portion corresponding to a region where the two electrodes 7 and 31 mutually intersect can be caused to emit light. As such, by optionally changing the surface electrodes 7 and the collector electrodes 31 to which voltage is to be applied, images or characters can be displayed on the display. In the display, a high voltage needs to be applied to the collector electrode 31 and to thereby accelerate electrons in order to cause phosphors of the phosphor layer 32 according to electrons emitted from the electron source 10. To achieve the above, a high voltage of hundreds of V or several kV may be applied to the collector electrode 31.

(EMBODIMENT 17)

[0209] Hereinbelow, Embodiment 17 of the present invention will be described.

[0210] As shown in Fig. 20, while the basic configuration of an electron source 10 according to Embodiment 17 is substantially the same as that of the electron source 10 according to Embodiment 16, it is characterized in that the field moderating layer 9 is configured to include a silicon nitride film 9a formed on the drift layer 6, and a silicon oxide film 9b formed on the silicon nitride film 9a. Essentially, in Embodiment 16, the field moderating layer 9 is formed of a multilayer film including the silicon nitride film 9a, and the surface electrode 7 is overlaid on the silicon oxide film 9b. Either the silicon nitride film 9a or the silicon oxide film 9b is formed according to a sputtering method.

[0211] As described above, also in Embodiment 17, basically, the same advantages as those in Embodiment 16 can be obtained. However, in Embodiment 17, since the resistivity of each of the silicon nitride film 9a and the silicon oxide film 9b is high, the film thickness of the field moderating layer 9 can be reduced. In addition, electrons drifted through the drift layer 6 are not allowed to easily diffuse in the silicon nitride film 9a, a reduction in electron emission efficiency according to the provision of the field moderating layer 9 can be inhibited. Moreover, in Embodiment 17, since the surface electrode 7 is formed on the oxide nitride film 9a, in comparison to a case as in Embodiment 16 where the surface electrode 7 is formed on the field moderating layer 9 made of the silicon nitride film, the electron movement to the surface electrode 7 easily occurs, thereby enabling the electron emission efficiency to increase.

[0212] The film thickness of the silicon nitride film 9a is set to 40 nm, and the film thickness of the silicon oxide film 9b is set to 10 nm. These film thicknesses are not limited to the aforementioned numerical values, and the film thicknesses may be appropriately set corresponding to, for example, the thickness and the resistance value of the drift layer 6. However, since electrons less diffuse in the silicon nitride film 9a than in the silicon oxide film 9b, the film thickness of the silicon nitride film 9a is preferably set larger than that of the silicon oxide film 9b.

(EMBODIMENT 18)

[0213] Hereinbelow, Embodiment 18 of the present invention will be described.

[0214] As shown in Fig. 21, while the basic configuration of an electron source 10 according to Embodiment 18 is substantially the same as that of the electron source 10 according to Embodiment 16, it is characterized in that the field moderating layer 9 is configured to include a first silicon oxide film 9c formed on the drift layer 6, a silicon nitride film 9a formed on the silicon oxide film 9c, and a second silicon oxide film 9b formed on the silicon nitride film 9a. Essentially, in Embodiment 18, the field moderating layer 9 is formed of a multilayer film including the silicon nitride film 9a, and the surface electrode 7 is overlaid on the silicon oxide film 9b. Each of the silicon nitride film 9a and the silicon oxide films 9c and 9b is formed according to a sputtering method.

[0215] As described above, also in Embodiment 18, basically, effects similar to those in Embodiment 16 can be obtained. However, in Embodiment 18, since the resistivity of each of the silicon nitride film 9a and the silicon oxide films 9c and 9b is high, the film thickness of the field moderating layer 9 can be reduced. In addition, electrons drifted through the drift layer 6 are not allowed to easily diffuse in the silicon nitride film 9a, a reduction in electron emission efficiency according to the provision of the field moderating layer 9 can be inhibited. Moreover, in Embodiment 18, since the surface electrode 7 is formed on the second silicon oxide film 9a, in

comparison to a case as in Embodiment 16 where the surface electrode 7 is formed on the field moderating layer 9 made of the silicon nitride film, the electron movement to the surface electrode 7 easily occurs, thereby enabling the electron emission efficiency to increase.

[0216] The film thickness of the first silicon oxide film 9c is set to 10 nm, and the film thickness of the second silicon oxide film 9b is set to 40 nm. These film thicknesses are not limited to the aforementioned numerical values, and the film thicknesses may be appropriately set corresponding to, for example, the thickness and the resistance value of the drift layer 6. However, since electrons less diffuse in the silicon nitride film 9a than in each of the silicon oxide films 9c and 9b, the film thickness of the silicon nitride film 9a is preferably set larger than that of each of the silicon oxide films 9c and 9b.

(EMBODIMENT 19)

[0217] Hereinbelow, Embodiment 19 of the present invention will be described. Basically, the basic configuration of an electron source 10 according to Embodiment 19 is substantially the same as that of the electron source 10 according to Embodiment 16, it is characterized in that the field moderating layer 9 of the electron source 10 according to Embodiment 16 shown in Figs. 16A and 16B is configured of to include a chrome oxide film. Since chrome oxide film is a material that has a high property of adhesion to the surface electrode 7 at least to an extent not causing the surface electrode 7 to be isolated, it can inhibit ageing deterioration that can be caused by isolation of the surface electrode 7 from the field moderating layer 9 and ageing variations in electron emission property. In addition, since the chrome oxide film has a high transmittance property, it can inhibit a reduction in electron emission efficiency, which can occur because of the provision of the field moderating layer 9. Consequently, also in the electron source 10 of Embodiment 19, the same advantages as those in Embodiment 16 can be obtained.

[0218] Hereinbelow, a manufacturing method for the electron source 10 of Embodiment 19 will be described with reference to Figs. 22A to 22D. The manufacturing method is substantially the same as the manufacturing method for the electron source 10 of Embodiment 16. As such, hereinbelow, descriptions of aspects, common to those given in Embodiment 16 will be simplified to avoid repetitive description.

[0219] In Embodiment 19, after the ohmic electrode 2 has been formed on a reverse surface of the n-type silicon substrate 1, that is, the electroconductive substrate, the undoped polycrystalline silicon layer 3 is formed on one surface of the n-type silicon substrate 1 according to an LPCVD method, and an intermediate product having a structure shown in Fig. 22B is obtained. Subsequently, the polycrystalline silicon layer 3 is formed porous according to an anodic oxidation treat-

ment, the porous polycrystalline silicon layer 4 is thereby formed, and an intermediate product having a structure shown in Fig. 22B is obtained.

[0220] In addition, the porous polycrystalline silicon layer 4 is thermally oxidized, and the drift layer 6 made of the oxidized porous polycrystalline silicon layer is thereby formed. Then, an oxidized layer 19 made of a chrome layer is formed on the drift layer 6 according to an electron beam vapor deposition method. Moreover, the surface electrode 7 made of a gold metal is formed on the oxidized layer 19, and an intermediate product having a structure shown in Fig. 22C is obtained. In Embodiment 19, the film thickness of the oxidized layer 19 is set to 20 nm, and the film thickness of the surface electrode 7 is set to 15 nm. However, these film thicknesses are not limited to the aforementioned numerical values.

[0221] After the surface electrode 7 has been formed, the oxidized layer 19 is oxidized according to an oxidation process, the field moderating layer 9 formed of an chrome oxide film, and an electron source 10 as shown in Fig. 22D is obtained. The oxidation process may be carried out by introducing, for example, ozone generated using an ozone generator into an oxidizing treatment chamber. In Embodiment 19, an oxygen gas is introduced into an ozone generator at a flow rate of 5L/min in a standard condition, electric discharge is performed to thereby generate 5%-concentration ozone, and the ozone is introduced into an oxidizing treatment chamber. In the treatment, the n-type silicon substrate 1 used for the electroconductive substrate is heated at 150°C. In Embodiment 19, a chrome oxide film is used to form an oxide layer.

[0222] The manufacturing method includes a step of forming the oxidized layer 19 by using chrome on the drift layer 6 formed on the side of the main surface of the n-type silicon substrate 1 used for the electroconductive substrate, in which the chrome is a composition element from which oxygen is excluded from composition elements of the field moderating layer 9; a step of forming the surface electrode 7 on the oxidized layer 19; and a step of forming the field moderating layer 9 by oxidizing the oxidized layer 19 according to the oxidation process after the surface electrode 7 has been formed. As such, the electron source 10 having a high ageing stability can be provided. In addition, since the field moderating layer 9 is formed by oxidizing the oxidized layer 19 according to the oxidation process after the surface electrode 7 has been performed, the field moderating layer 9 can be prevented from being contaminated and damaged during the oxidation process. Moreover, in the oxidation process, since the oxidized layer 19 is oxidized with ozone diffusing through the surface electrode 7, the oxidized layer 19 can be oxidized at a temperature that is lower than that in the thermal oxidation. As such, the method enables the prevention of damage causing electrical disconnection and layer isolation attributable to coagulation of gold, which is a composition element

of the surface electrode 7.

[0223] In the Embodiment 19, while the oxidized layer 19 is oxidized using ozone in the oxidation process, the oxidized layer 19 may be oxidized using oxygen plasma. Also in this case, the oxidized layer 19 can be oxidized at a lower temperature than that in the thermal oxidation, thereby enabling damage causing electrical disconnection and layer isolation attributable to coagulation of composition elements of the surface electrode.

(EMBODIMENT 20)

[0224] Hereinbelow, Embodiment 20 of the present invention will be described.

[0225] As shown in Fig. 23, the basic configuration of an electron source 10 according to Embodiment 20 is substantially the same as that of the conventional electron source 10" shown in Fig. 54. Specifically, it includes a dielectric substrate 11 made of a glass substrate; a plurality of wirings 8a (lower electrodes 8) that are made of an electroconductive layer (for example, a metal film, such as a chrome, or an ITO film) and that are arranged on a main surface of the dielectric substrate 11; a drift layer 6 composed of a plurality of drift portions 6a formed of an oxidized porous polycrystalline silicon layer in such a manner as to overlap with the wirings 8a, and isolating portions 6b that are formed of a polycrystalline silicon layer and that individually fill up spaces between the drift portions 6a; a plurality of surface electrodes 7 that individually oppose the wirings 8a via the drift portions 6a; and a plurality of bus electrodes 25 commonly coupling the plurality of surface electrode 7, which are arranged in the direction intersecting with the wirings 8a, in units of each row on the drift layer 6. The bus electrodes 25 are arranged in such a manner as to cross the drift portions 6a and the isolating portions 6b in the direction intersecting with the wirings 8a. For the surface electrodes 7, a material (such as gold) having a small work function is employed; and the film thickness of the surface electrode 7 is set to a range of from 15 to 15 nm. For the bus electrodes 25, a material (such as aluminum or copper) that has a low resistance and a high processability is employed. Since the bus electrode 25 does not need to transmit electrons, the film thickness thereof can be increased in comparison to that of the surface electrode 7, thereby enabling the resistance to be reduced. In Embodiment 20, the dielectric substrate 11 forms the substrate.

[0226] As shown in Figs. 23 and 24, the electron source 10 of Embodiment 20 is characterized in that narrow portions 18a made of an electroconductive are each interposed to narrow a current passageway (to reduce the current passage area) between the surface electrode 7 and the bus electrode 25.

[0227] As shown in Fig. 25, the narrow portion 18a causes disconnection when an overcurrent flows. Specifically, in the narrow portion 18a, the thermal capacity is formed to have a small thermal capacity to cause dis-

connection when an overcurrent flows. In the electron source 10, each of the surface electrodes 7 is sandwiched between two of the bus electrodes 25 commonly coupled to identical pads 28. Each of the narrow portions 18a is interposed between the surface electrode 7 and the bus electrodes 25 and 25 on two sides thereof. The narrow portion 18a is thus interposed between the surface electrode 7 and the bus electrode 25, and forms an overcurrent protection element for limiting the current flowing to the surface electrode 7.

[0228] In the electron source 10 of Embodiment 20, as in the conventional electron source 10" shown in Fig. 54, the drift portions 6a of the drift layer 6 are sandwiched between the plurality of wirings 8a and the plurality of the surface electrodes 7. As such, when an associated set of the bus electrode 25 and the wiring 8a is appropriately selected, and voltage is applied to the selected set, a strong field is applied only to the drift portion 6a positioned below the surface electrode 7 that is proximate to a portion corresponding to an intersection with the wiring 8a in the selected bus electrode 25, and electrons are thereby emitted. That is, when an associated set of the bus electrode 25 and the wiring 8a to which voltage is applied, electrons can thereby be emitted from a desired cross point. The voltage to be applied between the bus electrode 25 and the lower electrode 8 is set to a range of from 10 to 20 V. Each of the wirings 8a is formed as a stripe having two end portions in a longitudinal direction on which pads 27 are individually formed. The bus electrode 25 is coupled to the individual pads 28 at two ends in the longitudinal direction thereof.

[0229] The basic performance of the electron source 10 according to Embodiment 20 is substantially the same as that of the conventional electron source 10" shown in Figs. 46 and 47; hence, a detailed description thereof is omitted herefrom. In addition, the set and a microstructure of the drift layer 6 (drift portion 6a) are substantially the same as in the cases of the conventional electron sources 10' and 10" (refer to Fig. 45); hence, a detailed description thereof is omitted herefrom.

[0230] In the electron source 10 of Embodiment 20, since the narrow portions 18a are each interposed between the surface electrode 7 and the bus electrode 25, when an overcurrent flows to a specific one of the surface electrodes 7, the narrow portion 18a interposed between the surface electrode 7 and the bus electrode 25 causes disconnection. Consequently, an overcurrent can be prevented from continually flowing to a specific one of the surface electrodes 7, a deterioration range can be prevented from being increased because of heat generation, and the reliability can be improved. Essentially, since the overcurrent protection element for limiting current flowing to the surface electrode 7 is interposed between the surface electrode 7 and the bus electrode 25, an overcurrent flowing between the bus electrode 25 and the surface electrode 7 can be limited. Thereby, an overcurrent flowing to the surface electrode

7, the drift portion 6a, and the wiring 8a can be limited, and the temperatures thereof can be inhibited from being increased. Consequently, the deterioration range can be prevented from being increased, and the reliability can thereby be improved. In other words, disconnection can be caused only in the narrow portion 18a interposed between an overcurrent-flowed surface electrode 7 and a bus electrode 25, in which the surface electrode 7 is one of those corresponding to individual pixels. Thereby, influence on the surface electrodes 7 corresponding to other pixels can be inhibited, and the reliability as an electron source used with a display can be improved. In the electron source 10 of Embodiment 20, the isolating portion 6b insulates a portion between the adjacent drift portions 6a, thereby enabling crosstalk in which, for example, electrons are emitted through the portion between the adjacent drift portions 6a, to be prevented. Moreover, in the electron source 10 of Embodiment 20, as in the conventional electron source 10', the dependency to the degree of vacuum as an electron emission property is reduced. Concurrently, no popping phenomenon occurs during electron emission, and hence electrons can stably be emitted at high electron emission efficiency.

(EMBODIMENT 21)

[0231] Hereinbelow, Embodiment 21 of the present invention will be described.

[0232] As shown in Figs. 26 and 27, the basic configuration of an electron source 10 according to Embodiment 21 is substantially the same as that of the electron source 10 according to Embodiment 20; however it is different in that high resistance layers 18b are each interposed between the surface electrode 7 and the bus electrode 25. Each of the narrow portions 18a is interposed between the surface electrode 7 and the bus electrodes 25, and forms an overcurrent protection element for limiting the current flowing to the surface electrode 7.

[0233] Thus, in comparison to the conventional electron source 10" shown in Fig. 54 in which the individual surface electrodes 7 and bus electrodes 25 are directly coupled, in the electron source 10 of Embodiment 21, an overcurrent can be prevented from flowing to the surface electrode 7, a deterioration range can be prevented from being increased because of heat generation, and the reliability can be improved.

(EMBODIMENT 22)

[0234] Hereinbelow, Embodiment 22 of the present invention will be described.

[0235] As shown in Figs. 28 to 30, the basic configuration of an electron source 10 according to Embodiment 22 is substantially the same as that of that in Embodiment 20; however, it is different in that thermo-sensitive layers 18c having a positive resistance tempera-

ture coefficient are each interposed between the surface electrode 7 and the bus electrode 25.

[0236] As shown in Fig. 31, in the thermo-sensitive layer 18c, the resistance value increases according to the increase in temperature. As a material of the thermo-sensitive layer 18c, for example, a BaTiO_3 -based material used for a PTC thermistor may be used. The thermo-sensitive layer 18c forms an overcurrent protection element for limiting the current flowing to the surface electrode 7. Other portions are the same as those in Embodiment 20.

[0237] Thus, in the electron source 10 of Embodiment 22, when an overcurrent flows to the surface electrode 7, and the temperature increases, the resistance of the thermo-sensitive layer 18c interposed between the surface electrode 7 and the bus electrode 25 increases. Thereby, in comparison to the conventional electron source 10" shown in Fig. 54, an overcurrent can be prevented from flowing to the surface electrode 7. Consequently, a deterioration range can be prevented from being increased because of heat generation, and the reliability can be improved.

(EMBODIMENT 23)

[0238] Hereinbelow, Embodiment 23 of the present invention will be described.

[0239] As shown in Fig. 32, the basic configuration of an electron source 10 according to Embodiment 23 is substantially the same as that of the conventional electron source 10" shown in Fig. 54. Specifically, it includes a dielectric substrate 11 made of a glass substrate; a plurality of wirings 8a (lower electrodes 8) that are made of an electroconductive layer (for example, a metal film, such as a chrome, or an ITO film) and that are arranged on a main surface of the dielectric substrate 11; a drift layer 6 composed of a plurality of drift portions 6a formed of an oxidized porous polycrystalline silicon layer in such a manner as to overlap with the wirings 8a, and isolating portions 6b that are formed of a polycrystalline silicon layer and that individually fill up spaces between the drift portions 6a; a plurality of surface electrodes 7 that individually oppose the wirings 8a via the drift portions 6a; and a plurality of bus electrodes 25 commonly coupling the plurality of surface electrode 7, which are arranged in the direction intersecting with the wirings 8a, in units of each row on the drift layer 6. The bus electrodes 25 are arranged in such a manner as to cross the drift portions 6a and the isolating portions 6b in the direction intersecting with the wirings 8a. For the surface electrodes 7, a material (such as gold) having a small work function is employed; and the film thickness of the surface electrode 7 is set to a range of from 15 to 15 nm. For the bus electrodes 25, a material (such as aluminum or copper) that has a low resistance and a high processability is employed. In Embodiment 23, the dielectric substrate 11 forms the substrate.

[0240] As shown in Figs. 32 and 34, the electron

source 10 is characterized in that the drift portions 6a are each formed in a rectangular-parallelepiped shape, and metal layers 18 each covering a vicinity of a side 6c along the longitudinal direction of the bus electrode 25 (side 6c that is parallel to the bus electrode 25) are provided.

[0241] In Embodiment 23, passage of electrons can be prevented by setting the thickness of the metal layer 7 to be larger than the mean free path of the electrons drifting through the drift portion 6a. For a material of the metal layer 18, for example, gold may be used. With the gold being used, the resistance of the metal layer 18 can be reduced, and concurrently, a high property of adhesion between the surface electrode 7 and the bus electrode 25 can be implemented. The metal layer 18 forms an electron-emission restraining portion that restrains electrons from being emitted through a peripheral portion of the drift portion 6a on the drift layer 6. In this particular case, while the gold is used for the material of the metal layer 18, the material of the metal layer 18 is not limited to the gold.

[0242] In the electron source 10 of Embodiment 23, as in the conventional electron source 10" shown in Fig. 54, the drift portions 6a of the drift layer 6 are sandwiched between the plurality of wirings 8a and the plurality of the surface electrodes 7. As such, when an associated set of the bus electrode 25 and the wiring 8a is appropriately selected, and voltage is applied to the selected set, a strong field is applied only to the drift portion 6a positioned below the surface electrode 7 that is proximate to a portion corresponding to an intersection with the wiring 8a in the selected bus electrode 25, and electrons are thereby emitted. That is, when an associated set of the bus electrode 25 and the wiring 8a to which voltage is applied, electrons can thereby be emitted from a desired cross point. The voltage to be applied between the bus electrode 25 and the lower electrode 8 is set to a range of from 10 to 20 V. Each of the wirings 8a is formed as a stripe having two end portions in a longitudinal direction on which pads 27 are individually formed. The bus electrode 25 is coupled to the individual pads 28 at two ends in the longitudinal direction thereof.

[0243] The basic performance of the electron source 10 according to Embodiment 23 is substantially the same as that of the conventional electron source 10" shown in Figs. 46 and 47; hence, a detailed description thereof is omitted herefrom. In addition, the set and a microstructure of the drift layer 6 (drift portion 6a) are substantially the same as in the cases of the conventional electron sources 10' and 10" (refer to Fig. 45); hence, a detailed description thereof is omitted herefrom.

[0244] In the electron source 10 of Embodiment 23, since the metal layers 18 each covering a vicinity of a side 6c along the longitudinal direction of the bus electrode 25 are provided, by setting the thickness of the metal layer 18 to be larger than the mean free path of the electrons, electrons can be prevented from being

emitted through a portion positioned below the metal layer 18 in a peripheral portion of the drift portion 6a. Consequently, when the electron source is adapted in a display, occurrence of bleeding can be prevented, and a high-precision display can be implemented. In addition, the electron source enables occurrence of cross-talk in which, for example, electrons is emitted through a portion between the adjacent drift portions 6a, to be prevented. In the electron source 10 of Embodiment 23, as in the conventional electron source 10', the dependency to the degree of vacuum as an electron emission property is reduced. Concurrently, no popping phenomenon occurs during electron emission, and hence electrons can stably be emitted at high electron emission efficiency.

(EMBODIMENT 24)

[0245] Hereinbelow, Embodiment 24 of the present invention will be described.

[0246] As shown in Figs. 35 and 36, while the basic configuration of an electron source 10 according to Embodiment 24 is substantially the same as that of the electron source 10 shown in Fig. 23, it is different in that a metal layer 18 covers the entire peripheral portion of the drift portion 6a. Specifically, in Embodiment 24, the metal layer 18 is formed as a rectangular frame in such a manner as to cover all the vicinities of sides 6c and 6c, which each extend parallel to the bus electrode 25, and sides 6d and 6d, which each extend perpendicular to the bus electrode 25. The metal layer 18 forms an electron-emission restraining portion that restrains electrons from being emitted through a peripheral portion of the drift portion 6a on the drift layer 6. Other portions are the same as those in Embodiment 23; hence, descriptions thereof are omitted herefrom.

[0247] Thus, as in the electron source 10 of Embodiment 23, in the electron source 10 of Embodiment 24, by setting the thickness of the metal layer 18 to be larger than the mean free path of the electrons, electrons can be prevented from being emitted through a portion positioned below the metal layer 18 in a peripheral portion of the drift portion 6a. Consequently, when the electron source is used in a display, occurrence of bleeding can be prevented, and a high-precision display can be implemented. In the electron source 10 of Embodiment 24, since field emission can be prevented in the overall peripheral portion of the drift portion 6a, in comparison to Embodiment 23, a higher-precision display can be implemented. In a display using the electron source 10 of Embodiment 23, when the pixel size is reduced to further improve the precision, because of influences of electrons emitted from two sides of the drift portion 6a in the direction along which the wirings 8a are arranged, bleeding develops to an extent that cannot be ignored. However, in the electron source 10 of Embodiment 24, since the metal layer 18 also covers vicinities of the sides 6d of the drift portion 6a, which each extend along

the longitudinal direction of the wiring 8a, electrons emission from two end portions of the drift portion 6a in the direction along which the wirings 8a are arranged can be prevented, and the display precision can be improved even higher.

(EMBODIMENT 25)

[0248] Hereinbelow, Embodiment 25 of the present invention will be described.

[0249] As shown in Figs. 37 and 38, while the basic configuration of an electron source 10 according to Embodiment 25 is substantially the same as that of the electron source 10 shown in Fig. 23, it is different in that the bus electrode 25 is formed to have portions that each overlap with the side 6c of the drift portion 6a, which extends in the longitudinal direction of the bus electrode 25, and an end portion of the surface electrode 7. In Embodiment 25, while the metal layer 18 in Embodiment 23 (refer to Fig. 32) is not provided, the electron-emission restraining portion in Embodiment 23 is formed of the portion of the bus electrode 25. Since the bus electrode 25 does not need to transmit electrons, the thickness thereof can be set larger than the mean free path of electrons that drift through the drift portion 6a. Other portions are the same as those in Embodiment 23; hence, descriptions thereof are omitted herefrom.

[0250] Thus, in the electron source 10 of Embodiment 25, since the electron-emission restraining portion is formed of the portion of the bus electrode 25, by setting the thickness of the bus electrode 25 to be larger than the mean free path of the electrons, electrons can be prevented from being emitted because of the bus electrode 25 through a peripheral portion of the drift portion 6a. Consequently, when the electron source is used in a display, occurrence of bleeding can be prevented, and a high-precision display can be implemented. In comparison to the electron source 10 of Embodiment 24 in which the lower electrodes 8 are provided, in the electron source 10 of Embodiment 25, no portion overlapping with the metal layer 18 is required. Consequently, the field emission areas of the individual surface electrodes 7 are maintained equal, the dimensions of the surface electrode 7 can be reduced, and the pixel size can thereby be reduced.

(EMBODIMENT 26)

[0251] Hereinbelow, Embodiment 26 of the present invention will be described.

[0252] As shown in Fig. 39, an electron source 10 according to Embodiment 26 includes a dielectric substrate 11 made of a glass substrate; a plurality of wirings 8a that are made of an electroconductive layer (for example, a metal film, such as a chrome, or an ITO film) and that are arranged on a main surface of the dielectric substrate 11; a drift layer 6 composed of a plurality of drift portions 6a formed of an oxidized porous polycrys-

talline silicon layer in such a manner as to overlap with the wirings 8a, and isolating portions 6b that are formed of a polycrystalline silicon layer and that individually fill up spaces between the drift portions 6a; a plurality of surface electrodes 7 arranged to oppose the wirings 8a via the drift portions 6a in the direction intersecting with the wirings 8a and in the direction along which the lower electrodes 8 extend; and a plurality of bus electrodes 25 commonly coupling the plurality of surface electrode 7, which are arranged in the direction intersecting with the wirings 8a, in units of each row on the drift layer 6. Each of the wirings 8a is formed as a stripe having two end portions in a longitudinal direction on which pads 27 are individually formed. The bus electrode 25 is coupled to the individual pads 28 at two ends in the longitudinal direction thereof.

[0253] The surface electrodes 7 are formed of a material (such as gold) having a small work function; and the film thickness of the surface electrode 7 is set to a range of from 15 to 15 nm. The bus electrodes 25 are formed of a material (such as aluminum or copper) that has a low resistance and a high processability is employed. Since the bus electrode 25 does not need to transmit electrons, the film thickness thereof can be increased in comparison to that of the surface electrode 7, thereby enabling the resistance to be reduced. The dielectric substrate 11 forms the substrate.

[0254] In the electron source 10 of Embodiment 26, as in the conventional electron source 10" shown in Fig. 54, the drift portions 6a of the drift layer 6 are sandwiched between the plurality of wirings 8a and the plurality of the surface electrodes 7. As such, when an associated set of the bus electrode 25 and the wiring 8a is appropriately selected, and voltage is applied to the selected set, a strong field is applied only to the drift portion 6a positioned below the surface electrode 7 that is proximate to a portion corresponding to an intersection with the wiring 8a in the selected bus electrode 25, and electrons are thereby emitted. That is, when an associated set of the bus electrode 25 and the wiring 8a to which voltage is applied, electrons can thereby be emitted from a desired cross point. The voltage to be applied between the bus electrode 25 and the lower electrode 8 is set to a range of from 10 to 20 V.

[0255] The basic performance of the electron source 10 according to Embodiment 26 is substantially the same as that of the conventional electron source 10" shown in Figs. 46 and 47; hence, a detailed description thereof is omitted herefrom. In addition, the set and a microstructure of the drift layer 6 (drift portion 6a) are substantially the same as in the cases of the conventional electron sources 10' and 10" (refer to Fig. 45); hence, a detailed description thereof is omitted herefrom.

[0256] In the conventional electron source 10" shown in Fig. 54, the drift portions 6a are arranged in the direction along which the wirings 8a extend, and the isolating portions 6b are interposed between the adjacent drift

portions 6a. In comparison to the above, the electron source 10 of Embodiment 26 is characterized in that the drift portions 6a are continually formed in the direction along which the lower electrodes 8a extend. In specific, the drift portion 6a formed to overlap with the wiring 8a is disposed to extend in the direction along which the wiring 8a extends, and the adjacent wirings 8a the' adjacent drift portions 6a are isolated by the isolating portion 6b in the direction intersecting with the wiring 8a.

[0257] In Embodiment 26, since the drift portion 6a is continually formed in the direction along which the wiring 8a extends, the distance between the surface electrodes 7 that are arranged adjacent to each other in the direction along which the wiring 8a extends can be reduced, as shown in Fig. 40, in comparison to the case where the drift portions 6a and the isolating portions 6b are alternately formed as in the conventional electron source 10" shown in Fig. 54. As such, in comparison to a case where the conventional electron source 10" is used as an electron source in a display, the interpixel distance on the side of the faceplate can be reduced, and the electron source can be used as an electron source in a high-precision display. In addition, as in the conventional electron source 10', in the electron source 10 of Embodiment 26, the dependency to the degree of vacuum as an electron emission property is reduced. Concurrently, no popping phenomenon occurs during electron emission, and hence electrons can stably be emitted at high electron emission efficiency.

(EMBODIMENT 27)

[0258] Hereinbelow, Embodiment 27 of the present invention will be described.

[0259] As shown in Fig. 41, while the basic configuration of an electron source 10 according to Embodiment 27 is substantially the same as that of the electron source 10 of Embodiment 26, it is different in that each of the surface electrodes 7 is sandwiched between two bus electrodes 25 commonly connected to the identical pads 28. In specific, in Embodiment 27, each of the surface electrodes 7 is coupled to the individual bus electrodes 25 at two ends thereof in the direction (right-left direction in Fig. 42) along which the wiring 8a extends. The thickness of the bus electrode 25 is set larger than the mean free path of electrons. Other aspects are the same as those in Embodiment 26; hence, descriptions thereof are omitted herefrom.

[0260] As in Embodiment 26, in Embodiment 27, the drift portion 6a is continually formed in the direction along which the wiring 8a extends. As such, the distance between the surface electrodes 7 that are arranged adjacent to each other in the direction along which the wiring 8a extends can be reduced, as shown in Fig. 42, in comparison to, for example, the conventional electron source 10" shown in Fig. 54, in which the drift portions 6a and the isolating portions 6b are alternately formed. As such, in comparison to a case where the convention-

al electron source 10" is used as an electron source in a display, the interpixel distance on the side of the face-plate can be reduced, and the electron source can be used as an electron source in a high-precision display. In addition, electrons can be prevented from being emitted through the drift portion 6a positioned below the bus electrode 25, and the area in a portion through which electrons are emitted can be prevented from being larger than the surface area of the surface electrode 7.

[0261] For the electroconductive layer, Embodiments 20 to 27 use the substrate formed such that the lower electrodes 8 are formed on the side of one surface of the dielectric substrate 11 made of the glass substrate. However, a metal substrate made of, for example, chrome, may be used for the electroconductive substrate. Alternatively, a semiconductor substrate (such as an n-type silicon substrate of which the resistivity is relatively close to the conductor resistivity, or a p-type silicon substrate on which an n-type region is formed as an electroconductive layer on the side of one surface) may be used. For the dielectric substrate 11, a ceramic substrate may be used instead of the glass substrate.

[0262] In Embodiments 20 to 27, gold is for the material of the surface electrode 7. However, the material of the surface electrode 7 is not limited to gold; and, for example, aluminum, chrome, tungsten, nickel, or platinum, may be used. Moreover, the surface electrode 7 may be formed of at least two thin-film layers laminated in the thickness direction. When forming the surface electrode 7 of two thin-film layers, for example, gold may be used as a material of the upper thin-film layer; and, for example, chrome, nickel, platinum, titanium, or iridium, may be used as a material of the lower thin-film layer (thin-film layer on the side of the strong field drift layer 6).

[0263] In Embodiments 20 to 27, the drift portion 6a of the drift layer 6 is formed of an oxidized porous polycrystalline silicon layer. However, the drift portion 6a may be formed of a nitrided or oxidized porous polycrystalline silicon layer. Alternatively, the drift portion 6a may be formed of an oxidized or nitrided porous semiconductor layer, which is different from the porous polycrystalline silicon layer. When the drift portion 6a is formed of a nitrided porous polycrystalline silicon layer, a silicon nitride film is formed for either the silicon oxide film 52 or 64 shown in the Fig. 45. When the drift portion 6a is formed of an oxynitrided porous polycrystalline silicon layer, a silicon oxynitride film is formed for either the silicon oxide film 52 or 64 shown in the Fig. 45.

[0264] For the deposition and formation of the p-layer and the n-layer, any one of the above-described embodiments may use a method of, for example, doping in the deposition, ion injection into an i-layer, impurity diffusion into an i-layer, crystallization through heating of p- and n-amorphous-layer, ion injection into an i-amorphous layer and crystallization through heating, or doping of a semiconductor substrate with impurities.

[0265] In each of the above-described embodiments,

the direct-current voltages V_{ps} and V_c are applied to the electron source 10. However, even with alternating-current voltages being applied thereto, when the collector electrode and the surface electrode are set to be anodic with respect to the lower electrode, electrons can of course be emitted.

[0266] As above, while the present invention has been described with reference to the specific embodiments, it should be apparent to those skilled in the art that many other modified examples and corrected examples can be implemented. Hence, it is to be understood that the present invention should not be limited to the above-described embodiments, and should be determined with reference to the appended claims.

INDUSTRIAL APPLICABILITY

[0267] As described above, the field emission-type electron source of the present invention is effective for reducing the power consumption without reducing the per-unit-area field emission area, and is suitable for using as an electron source for, for example, a flat optical source, a flat display device, or a solid-state vacuum device.

Claims

1. A field emission-type electron source comprising a substrate, an electroconductive layer formed on a surface of said substrate, a semiconductor layer formed on said electroconductive layer, a strong field drift layer having a drift portion that is made of an oxidized or nitrided porous semiconductor layer and that is formed on the side of the surface of said semiconductor layer, and a surface electrode formed on said strong field drift layer, wherein when voltage is applied to cause said surface electrode to be anodic with respect to said electroconductive layer, electrons injected from said electroconductive layer to said strong field drift layer drift through said strong field drift layer, and are emitted through said surface electrode; wherein
a current restraining member for restraining a current which does not contribute for emission of a current flowing through said drift portion, is provided in at least one of said electroconductive layer, said surface electrode, a portion between said electroconductive layer and said drift portion, and a portion between said surface electrode and said drift portion.
2. The field emission-type electron source according to claim 1, wherein said current restraining member is a leakage-current preventing member for preventing a current from leaking into said surface electrode from said electroconductive layer, thereby reducing the amount of power consumption.

3. The field emission-type electron source according to claim 2, wherein said leakage-current preventing member is a semiconductor layer having a pn junction.
4. The field emission-type electron source according to claim 2, wherein said leakage-current preventing member is a semiconductor layer having an n-layer on the side of said electroconductive layer and a p-layer on the side of said surface electrode.
5. The field emission-type electron source according to claim 2, wherein said leakage-current preventing member is a semiconductor layer having an n-layer on the side of said electroconductive layer and a p-layer on the side of said surface electrode, and a low-concentration semiconductor layer is formed between said p-layer and said drift portion.
6. The field emission-type electron source according to claim 2, wherein said substrate is a semiconductor substrate, and said electroconductive layer comprises an n-layer on the side of said substrate and a p-layer on the side of said surface electrode.
7. The field emission-type electron source according to claim 4, wherein an i-layer is provided between said p-layer and said n-layer.
8. The field emission-type electron source according to claim 2, wherein said surface electrode is formed of a material to be coupled with a Schottky junction to said drift portion.
9. The field emission-type electron source according to claim 2, wherein a low-concentration semiconductor layer is provided between said electroconductive layer and said drift portion, and said electroconductive layer is formed of a material to be coupled with a Schottky junction to said low-concentration semiconductor layer.
10. The field emission-type electron source according to claim 1, wherein
 said strong field drift layer is provided with an isolating portion for isolating the drift portions arranged adjacent to each other; and
 said current restraining member is a field moderating member for reducing the field intensity in a vicinity of a boundary to said isolating portion in said drift portion to be lower than the field intensity in a central portion of said drift portion to thereby reduce power consumption.
11. The field emission-type electron source according to claim 10, wherein said field moderating member is an insulator film interposed between said drift portion and said surface electrode in a position corresponding to the vicinity of the boundary.
12. The field emission-type electron source according to claim 10, wherein said field moderating member is an insulator film disposed on said electroconductive layer in a position corresponding to the vicinity of the boundary.
13. The field emission-type electron source according to claim 10, wherein said field moderating member is formed of a high resistance layer in a position corresponding to the vicinity of the boundary, and a low resistance layer interposed between said drift portion and said electroconductive layer in a position corresponding to a central portion of said drift portion.
14. The field emission-type electron source according to claim 10, wherein said field moderating member is a cutout portion formed in said surface electrode in a position corresponding to the vicinity of the boundary.
15. The field emission-type electron source according to claim 10, wherein said field moderating member is a cutout portion formed in said electroconductive layer in a position corresponding to the vicinity of the boundary.
16. The field emission-type electron source according to claim 1, wherein said current restraining member is a field moderating layer that is disposed between said strong field drift layer and said surface electrode and that reduces the field intensity of said strong field drift layer to thereby reduce power consumption.
17. The field emission-type electron source according to claim 16, wherein said field moderating member is one of a silicon nitride film and a multilayer film comprising a silicon nitride film.
18. The field emission-type electron source according to claim 16, wherein said field moderating member is formed of a silicon nitride film and an silicon oxide film disposed on the silicon nitride film.
19. The field emission-type electron source according to claim 16, wherein said field moderating member is formed of a silicon oxide film, a silicon nitride film disposed on the silicon oxide film, and another silicon oxide film formed on the silicon nitride film.
20. The field emission-type electron source according to claim 16, wherein said field moderating member is formed of a material having a high property of adhesion to said surface electrode.

21. The field emission-type electron source according to claim 20, wherein the material having the high property of adhesion is a chrome oxide film.
22. The field emission-type electron source according to claim 16, wherein a resistance value of said field moderating member is on the same order of a resistance value of said strong field drift layer. 5
23. The field emission-type electron source according to claim 1, further comprising a bus electrode commonly coupling a plurality of the surface electrodes, wherein said current restraining member is an overcurrent protection element for limiting a current flowing between said surface electrode and said bus electrode to thereby reduce power consumption. 10 15
24. The field emission-type electron source according to claim 23, wherein said overcurrent protection element is a member that causes disconnection when an overcurrent flows between said surface electrode and said bus electrode. 20
25. The field emission-type electron source according to claim 23, wherein said overcurrent protection element is a high resistance layer disposed between said surface electrode and said bus electrode. 25
26. The field emission-type electron source according to claim 23, wherein said overcurrent protection element is a thermo-sensitive layer that is disposed between said surface electrode and said bus electrode and that has a positive resistance temperature coefficient. 30 35
27. The field emission-type electron source according to claim 1, wherein said current restraining member is an electron-emission restraining member for restraining electron emission from a peripheral portion of said drift portion to thereby reduce power consumption. 40
28. The field emission-type electron source according to claim 27, wherein said current restraining member is a metal layer. 45
29. The field emission-type electron source according to claim 28, wherein said metal layer is disposed around said drift portion. 50
30. The field emission-type electron source according to claim 28, further comprising a bus electrode commonly connecting a plurality of the surface electrode, wherein a portion of said bus electrode is concurrently used as the metal layer. 55
31. The field emission-type electron source according

to claim 27, further comprising a bus electrode commonly connecting a plurality of the surface electrode, wherein said bus electrode is disposed on two sides of a pixel.

Fig. 1

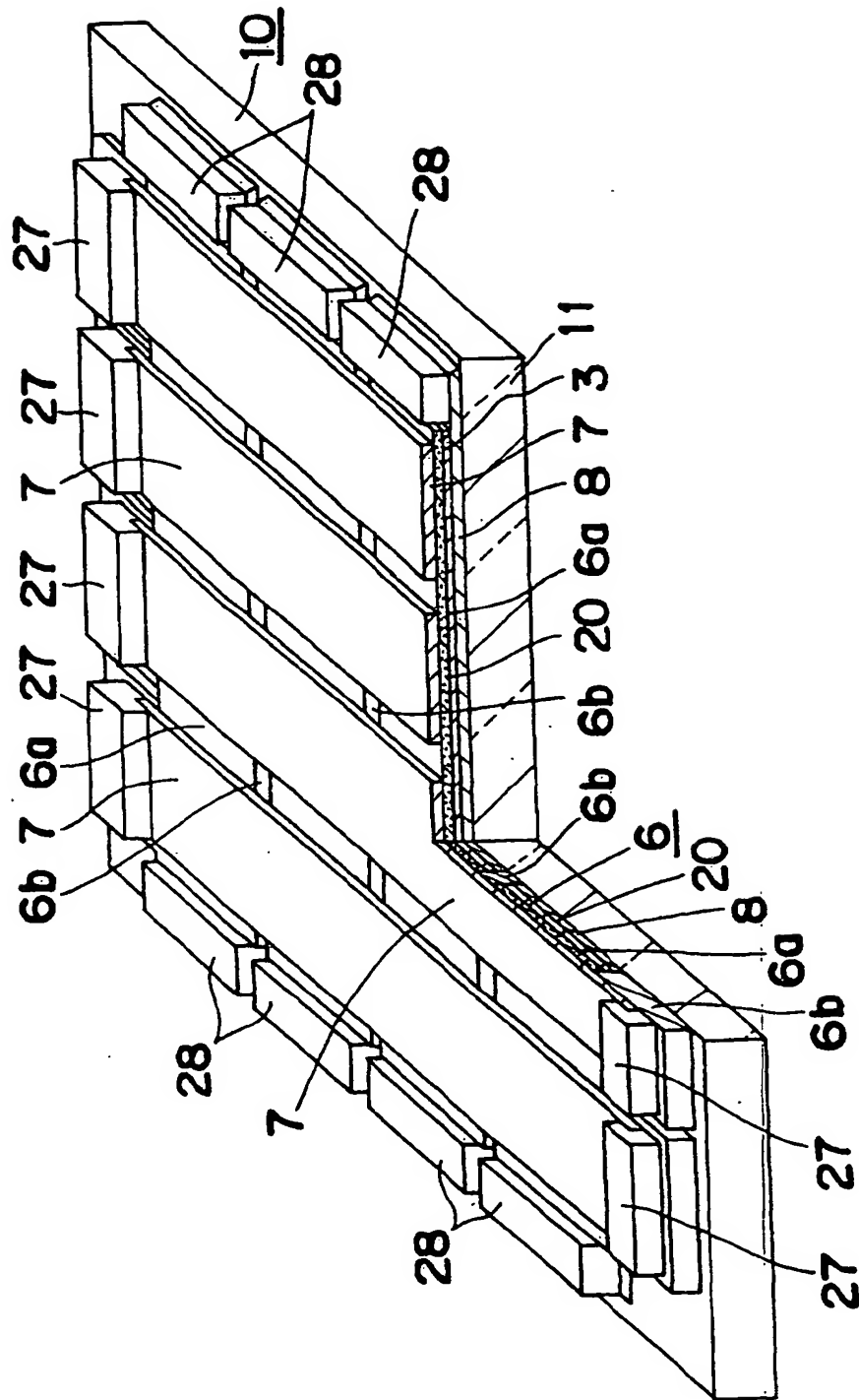


Fig. 2A

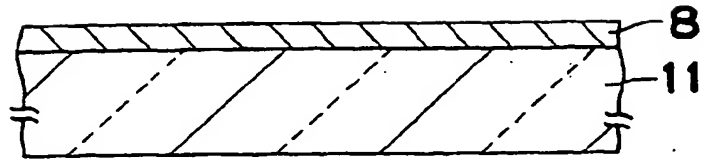


Fig. 2B

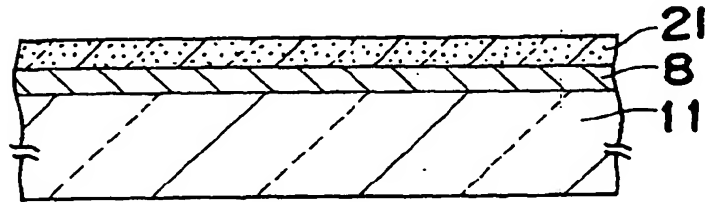


Fig. 2C

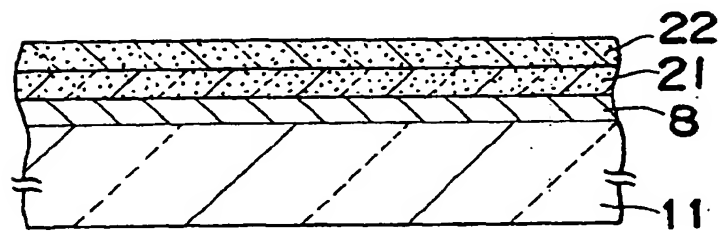


Fig. 2D

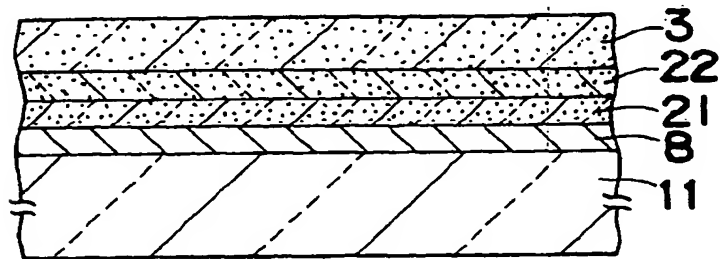


Fig. 2E

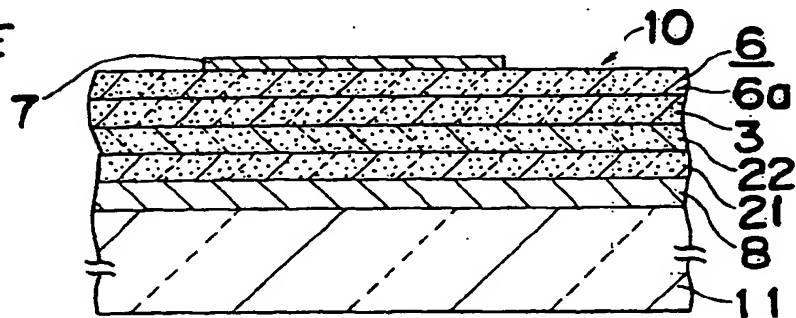


Fig. 3A

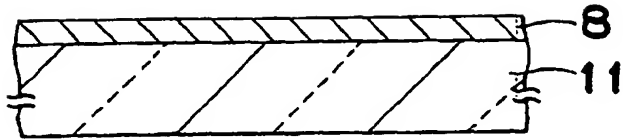


Fig. 3B

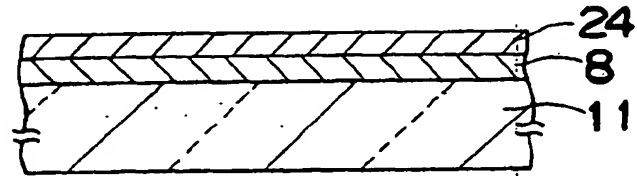


Fig. 3C

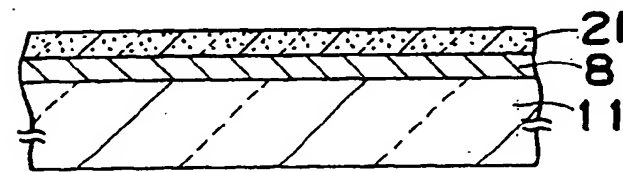


Fig. 3D

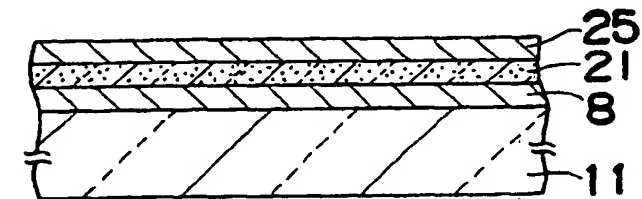


Fig. 3E

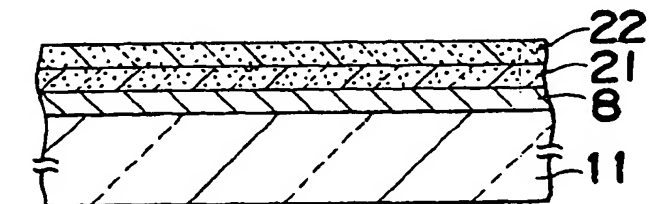


Fig. 3F

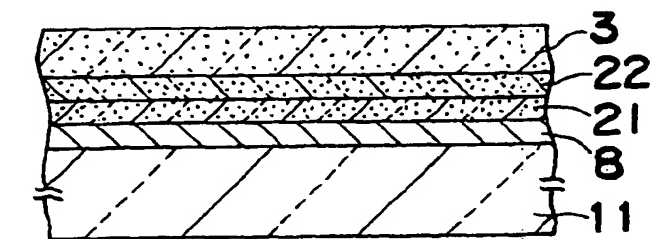


Fig. 3G

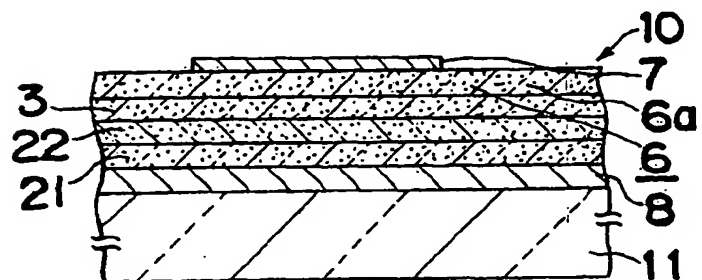


Fig. 4

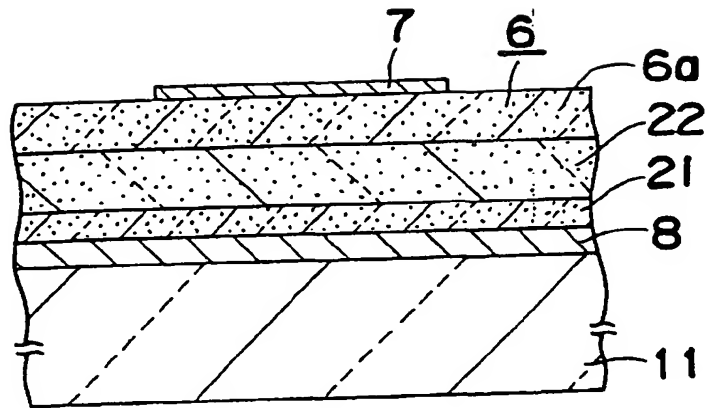


Fig. 5

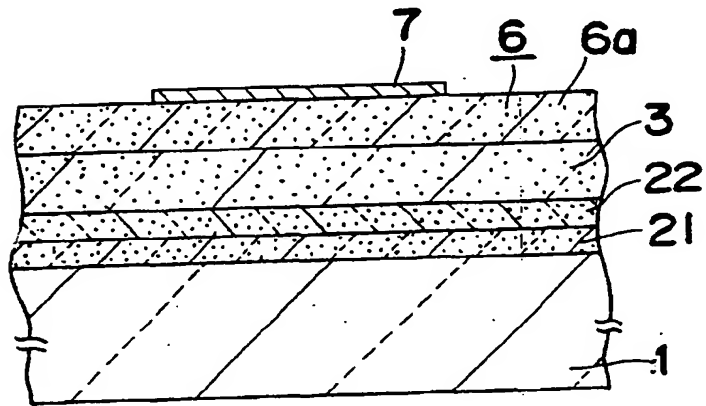


Fig. 6

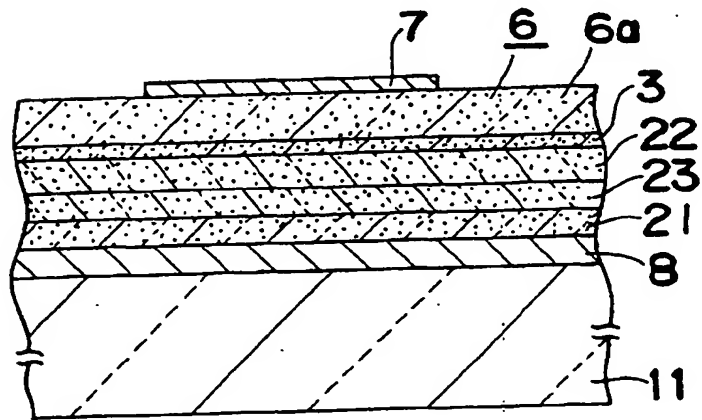


Fig. 7

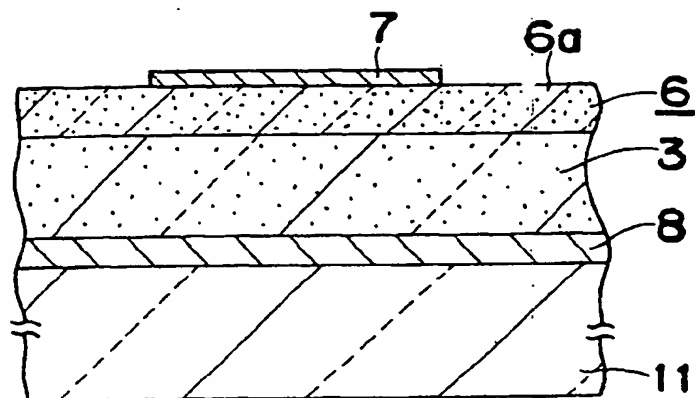


Fig. 8

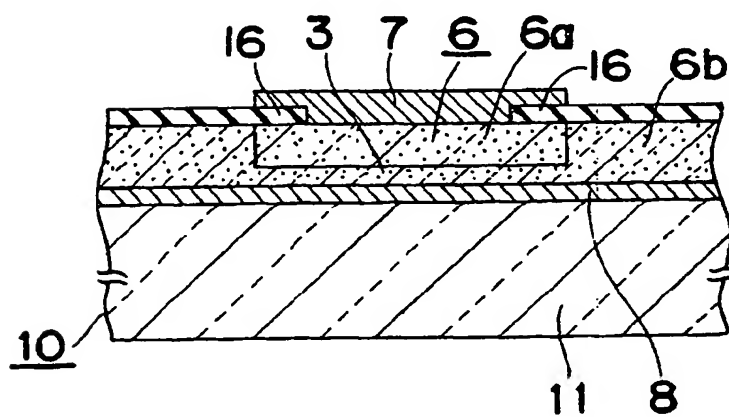


Fig. 9

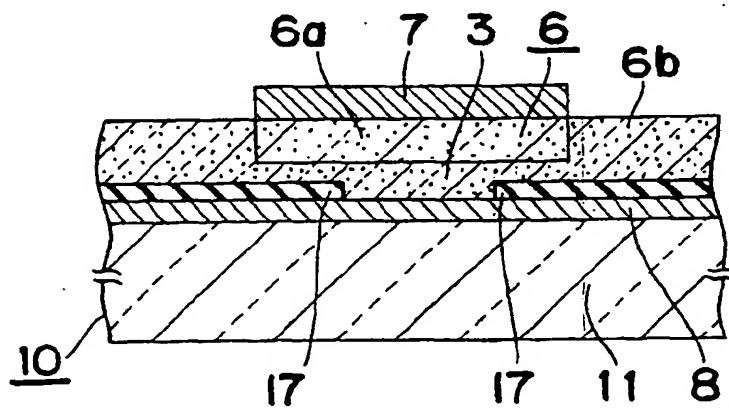


Fig.10

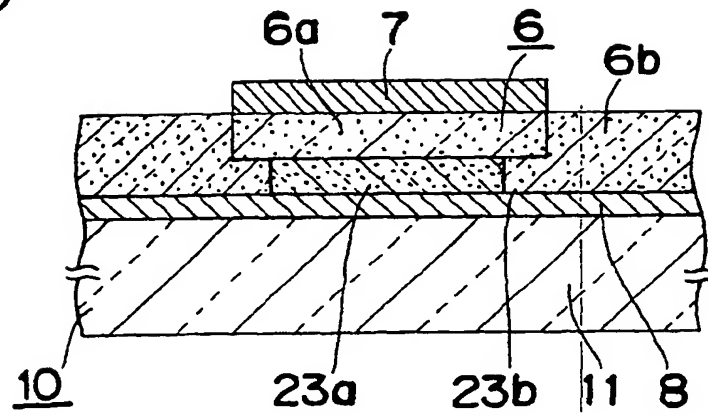


Fig.11

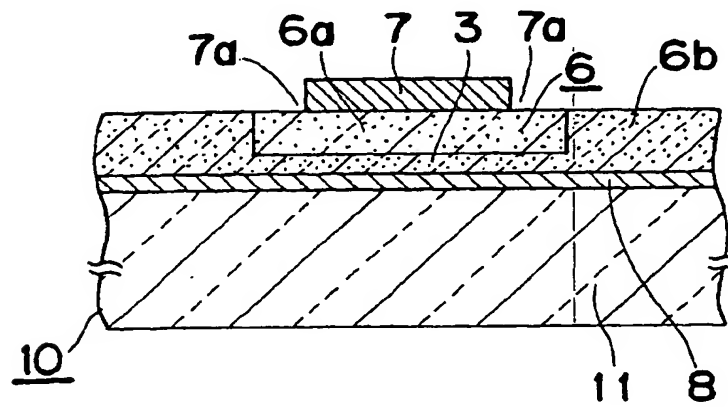


Fig.12

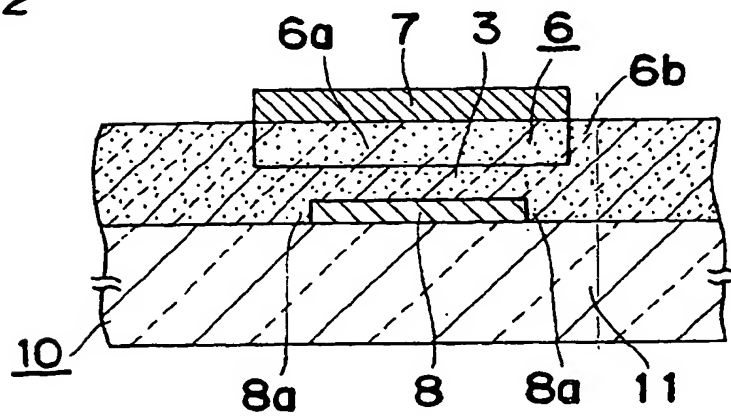
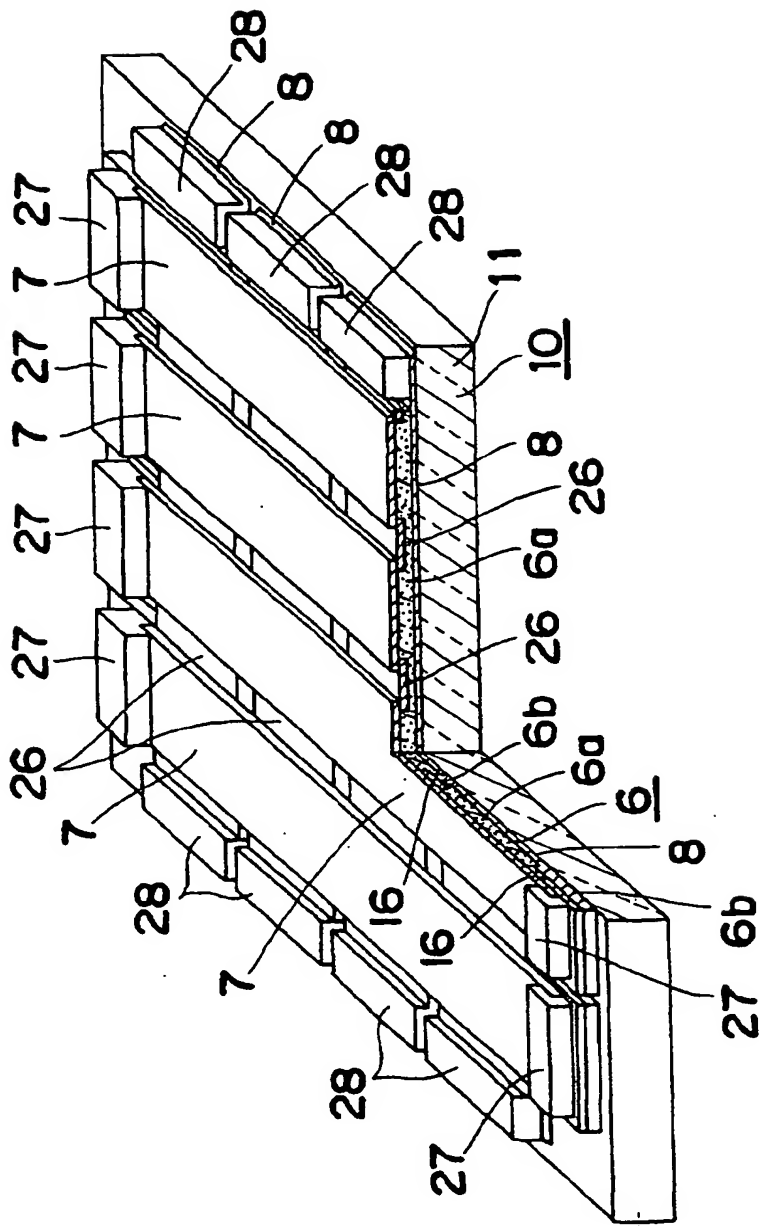


Fig. 13



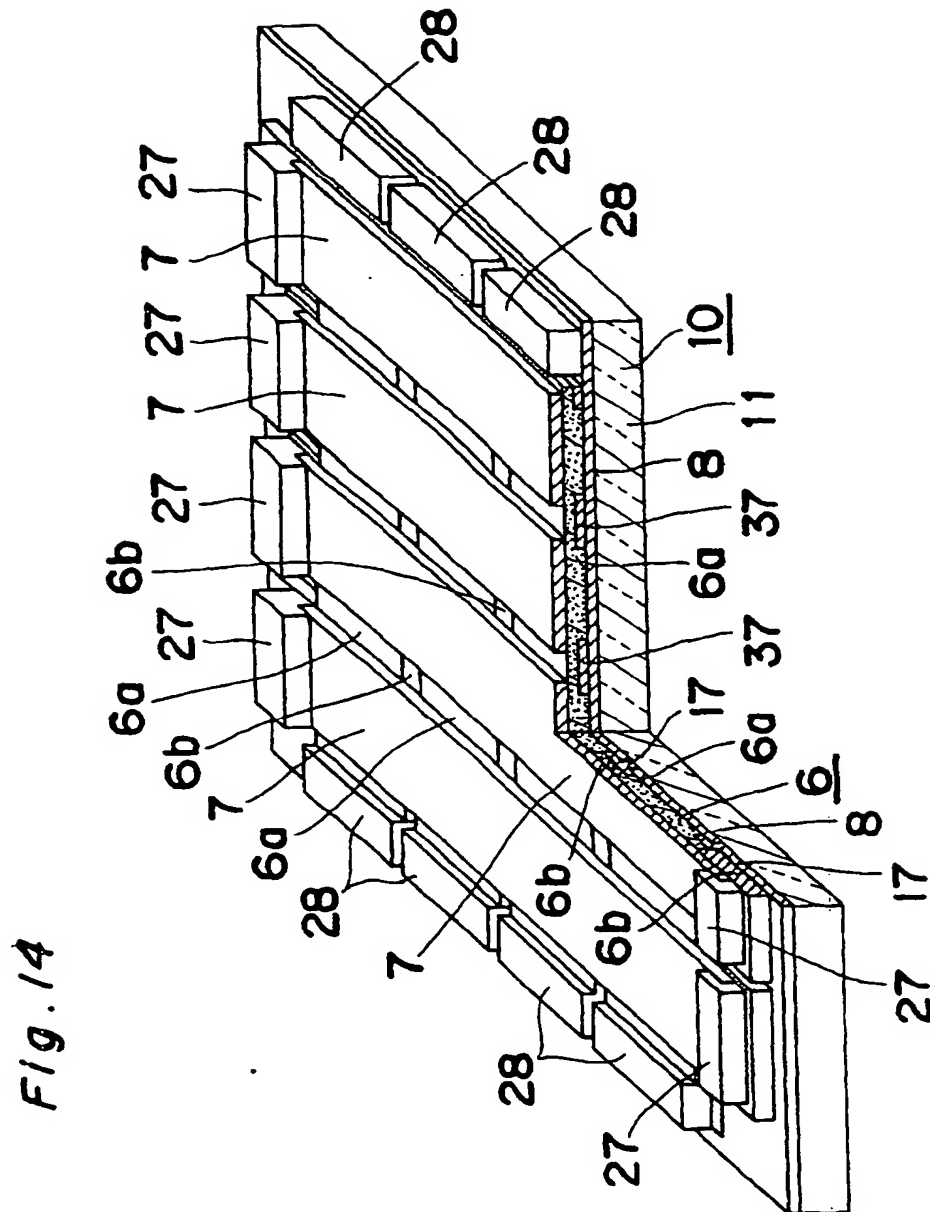


Fig. 15

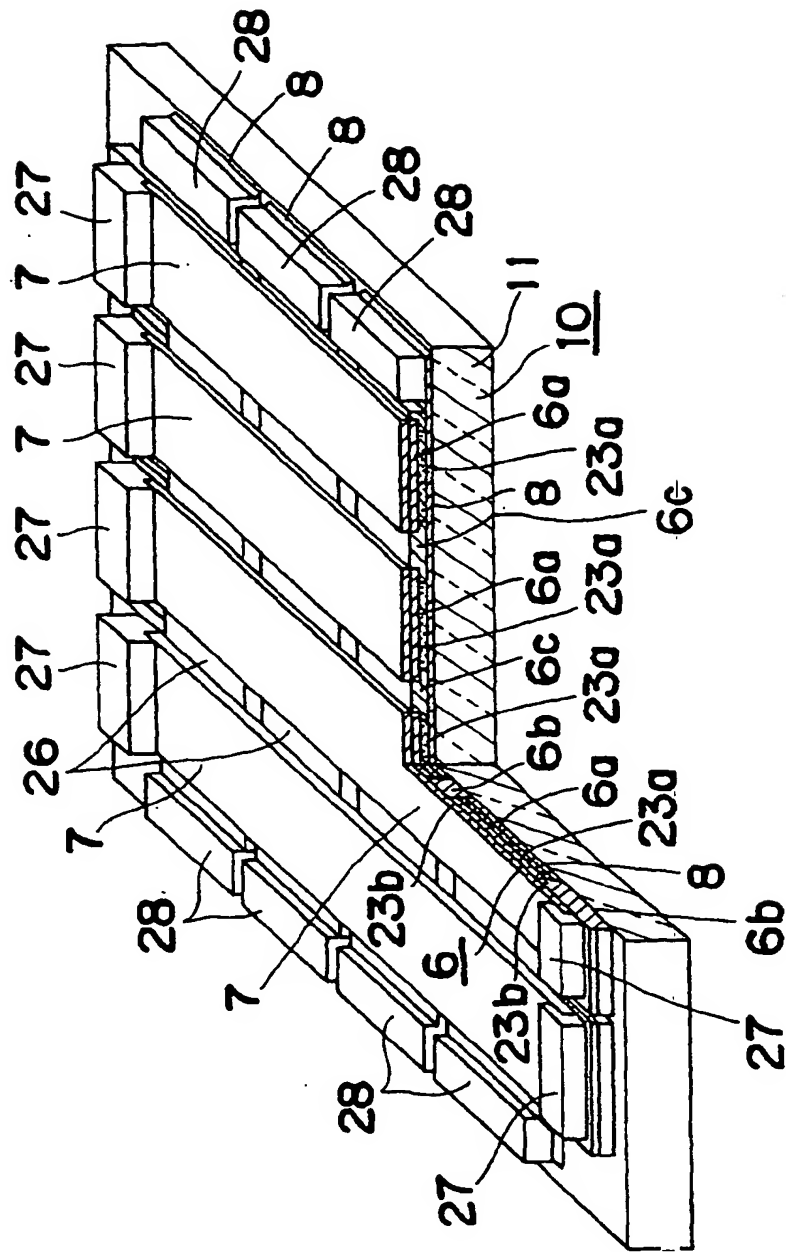


Fig. 16A

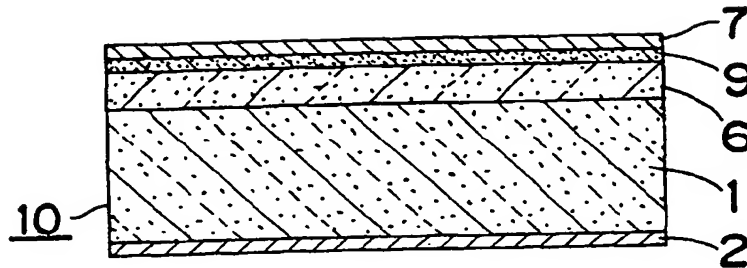


Fig. 16B

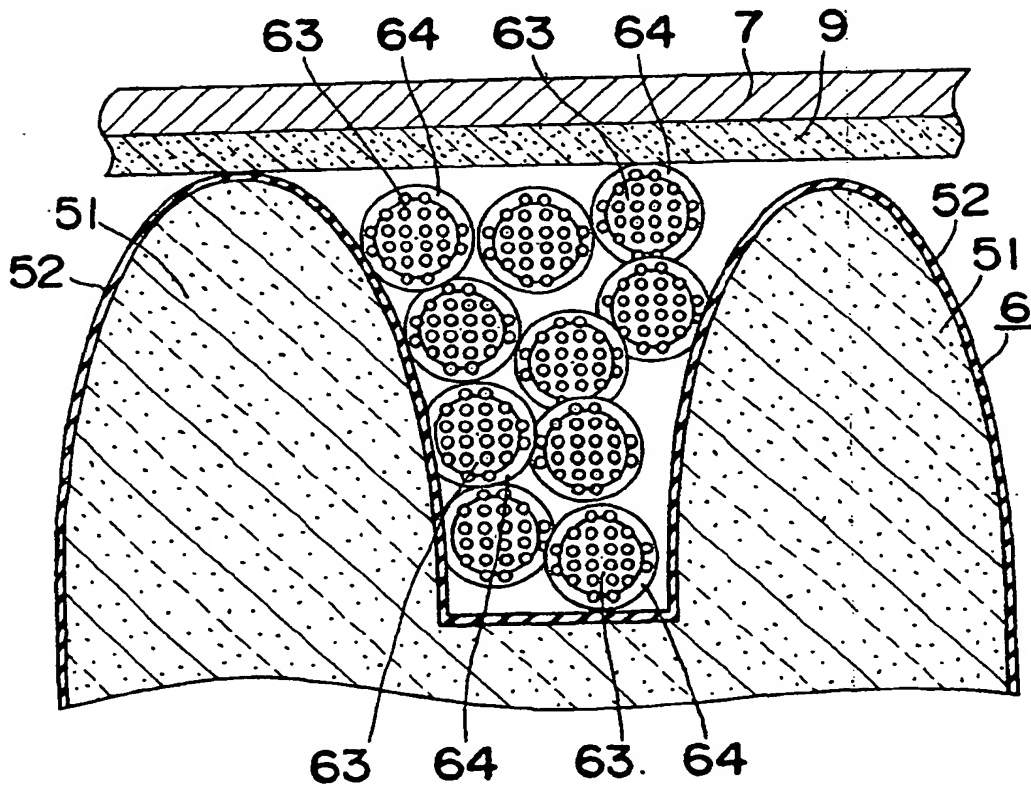


Fig. 17A

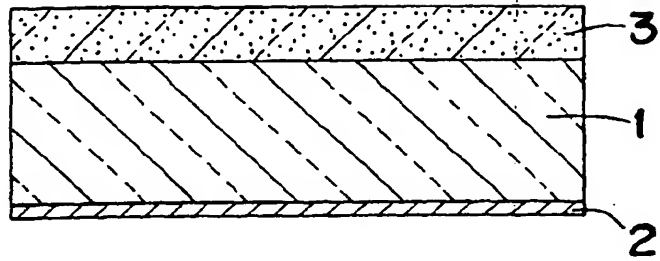


Fig. 17B

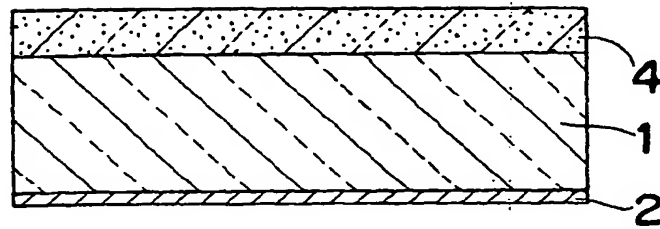


Fig. 17C

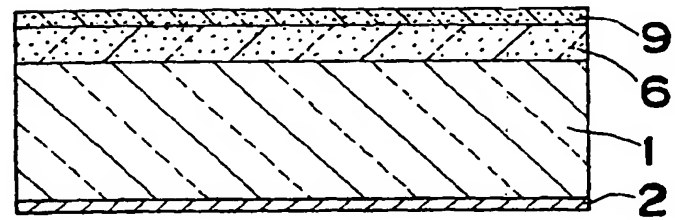


Fig. 17D

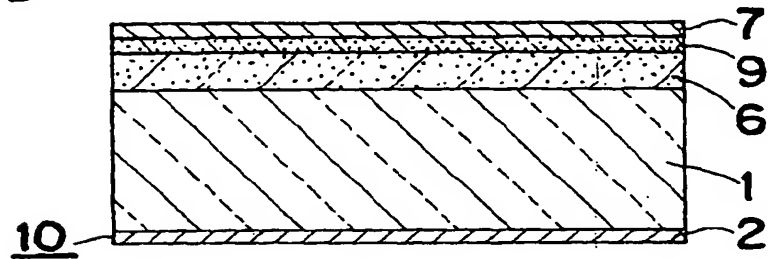


Fig. 18

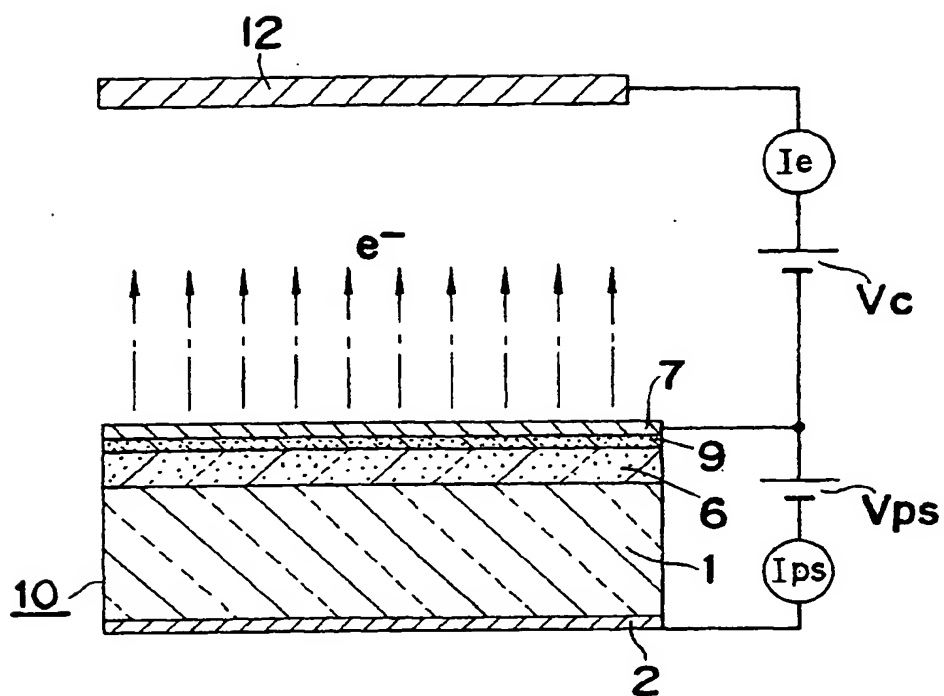


Fig. 20

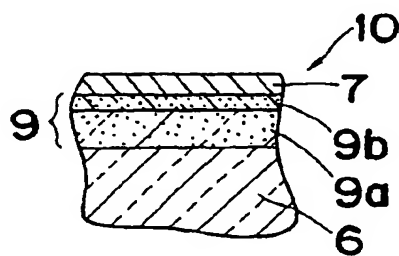


Fig. 21

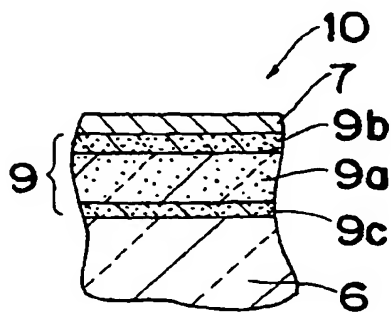


Fig. 19

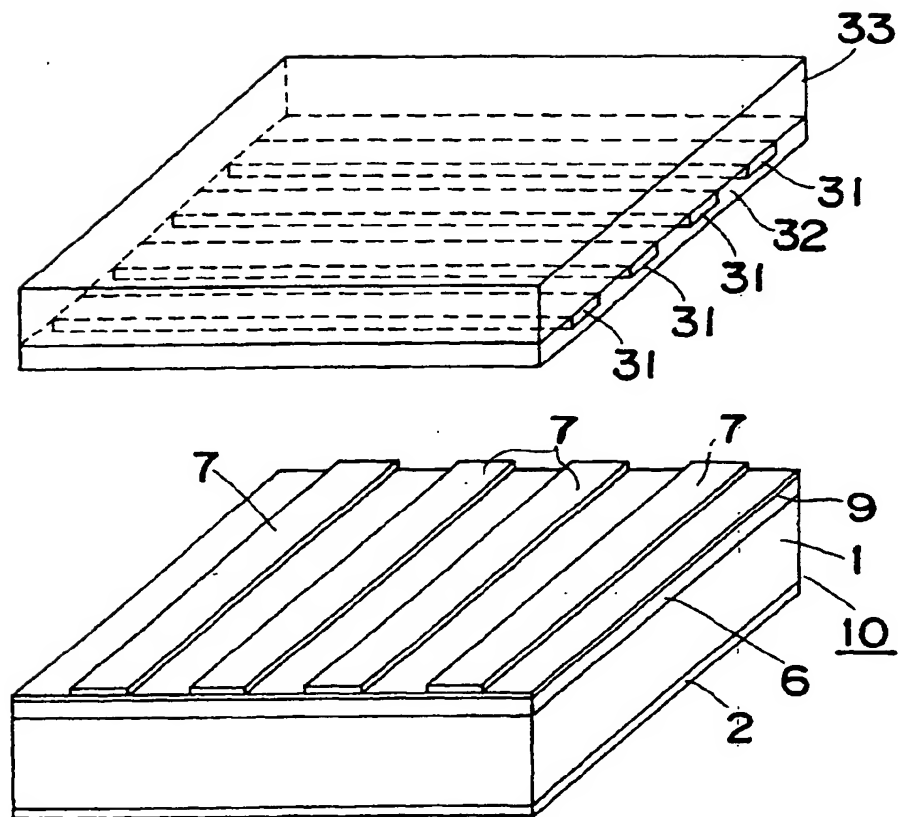


Fig. 22A

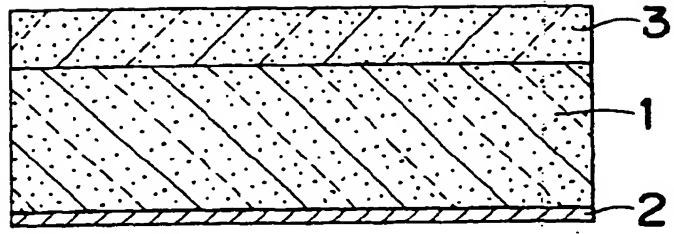


Fig. 22B

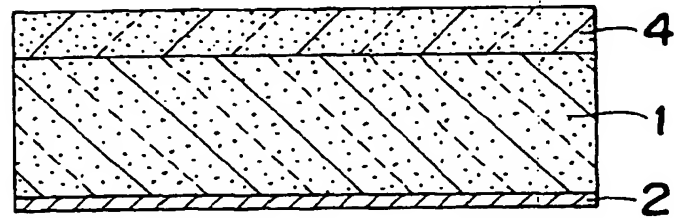


Fig. 22C

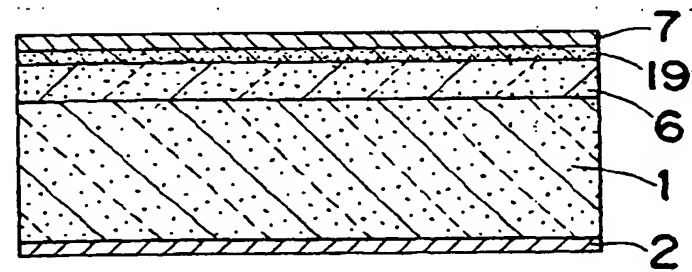


Fig. 22D

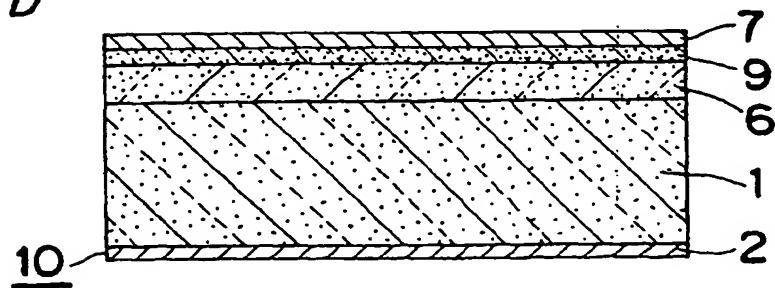


Fig. 23

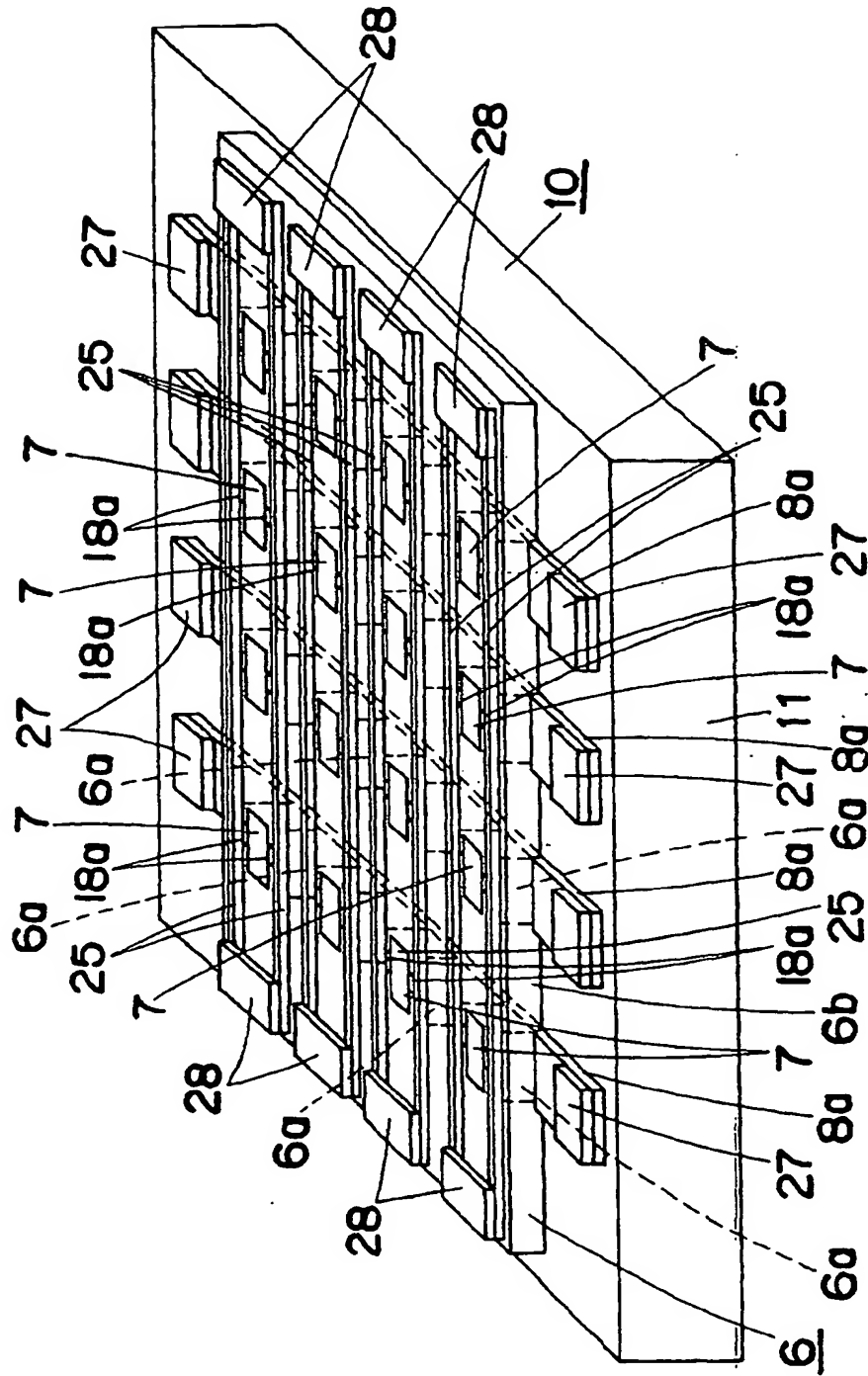


Fig. 24

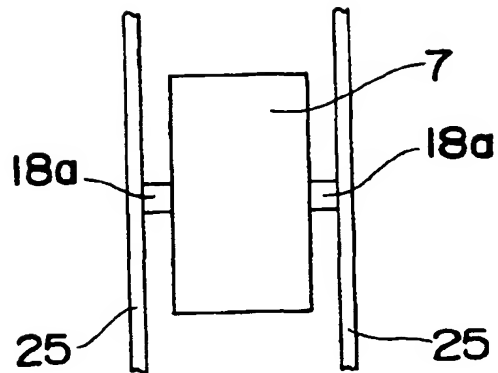


Fig. 25

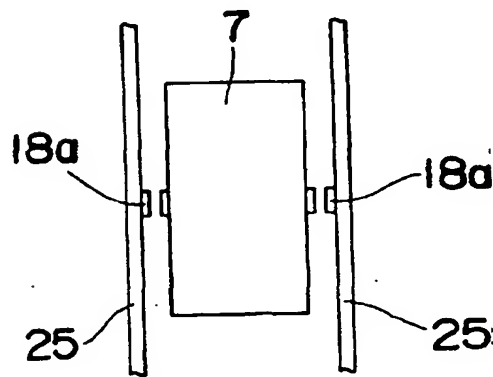


Fig. 27

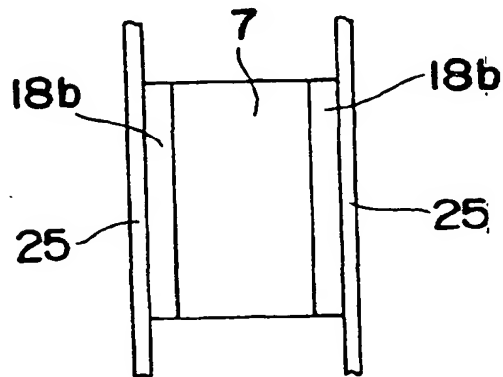


Fig. 26

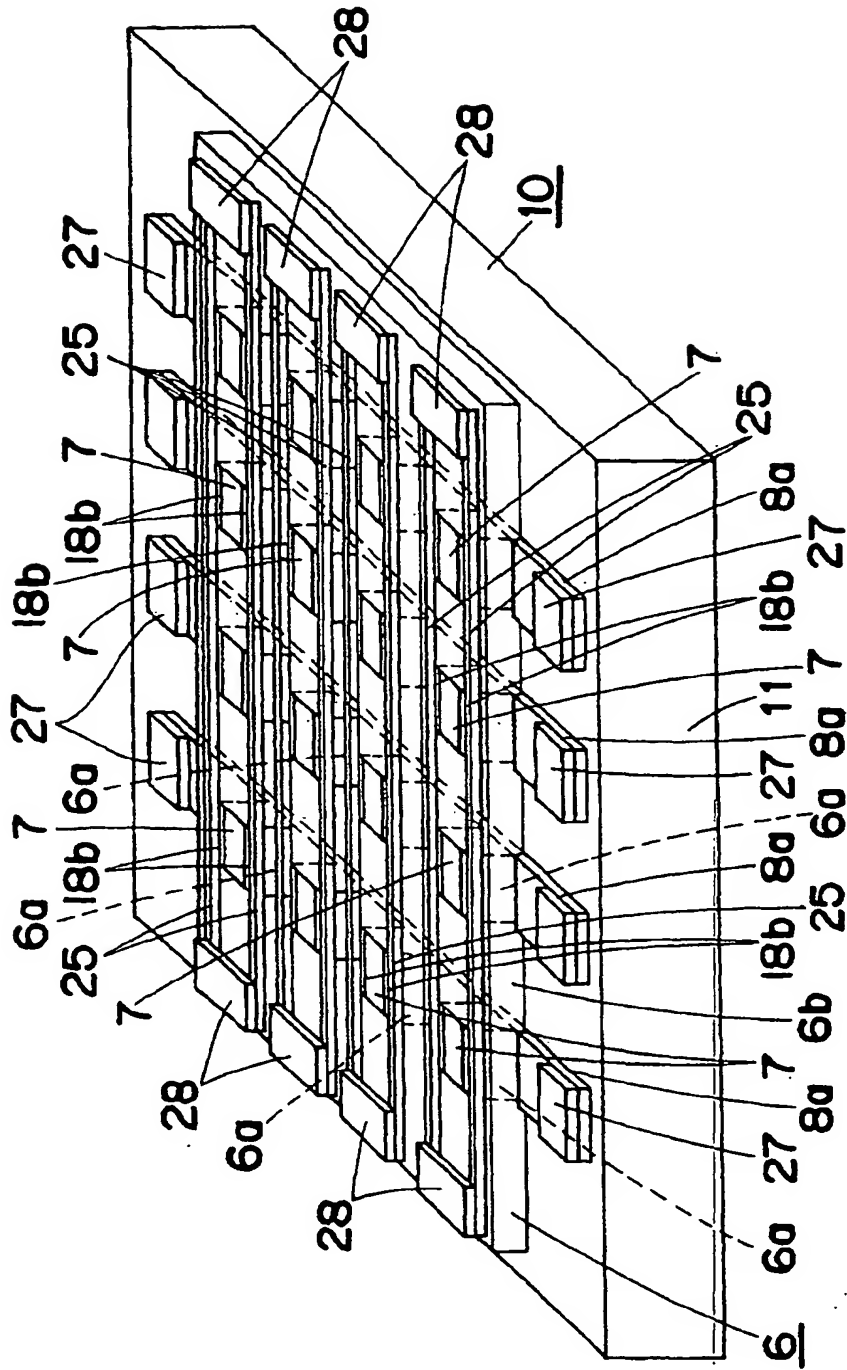


Fig. 28

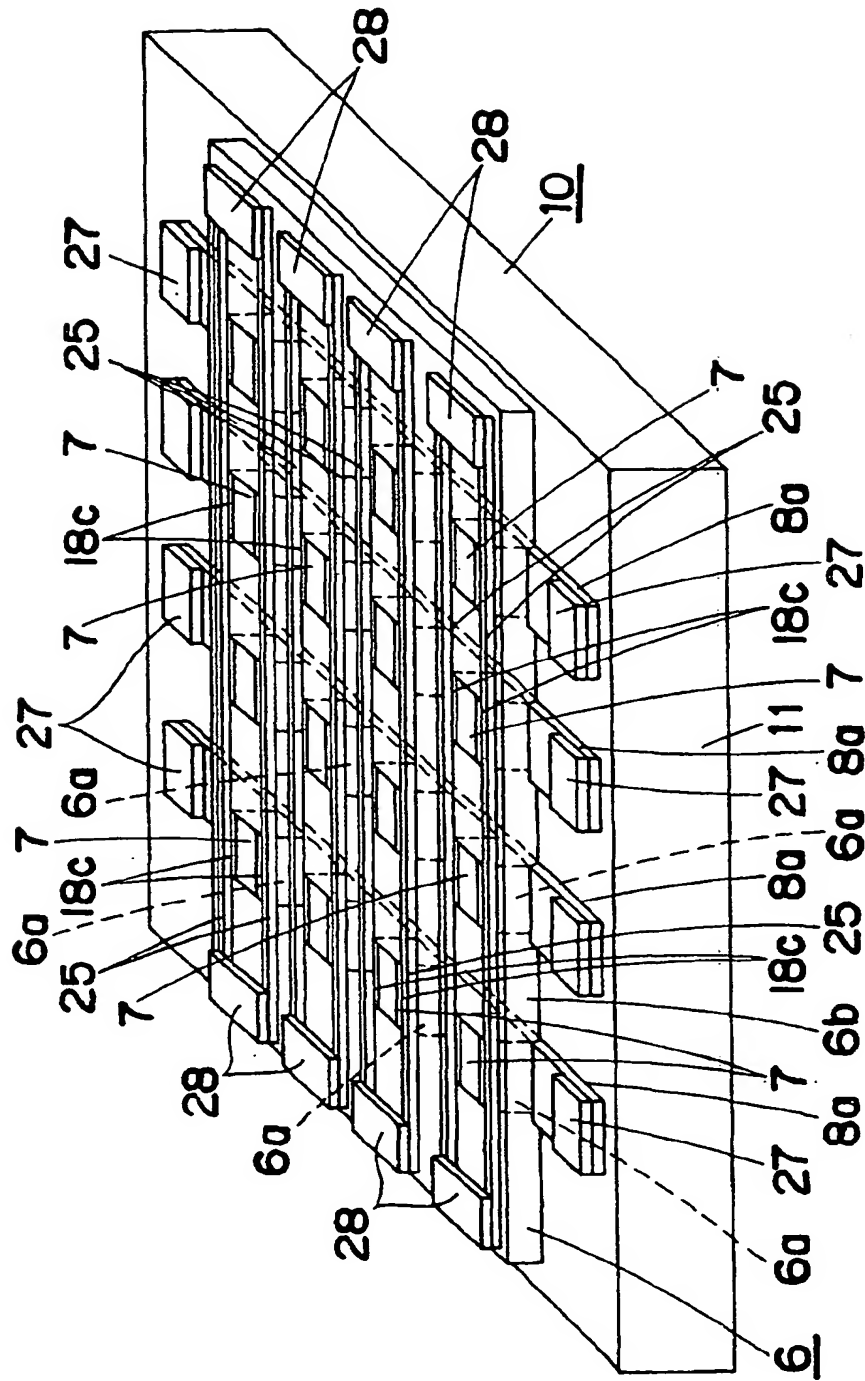


Fig.29

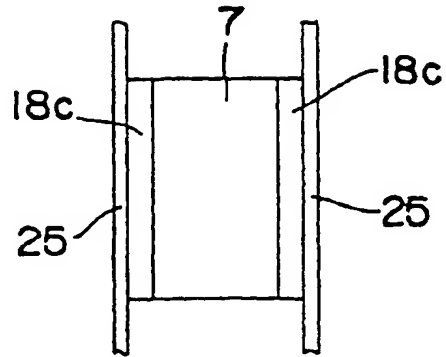


Fig.30

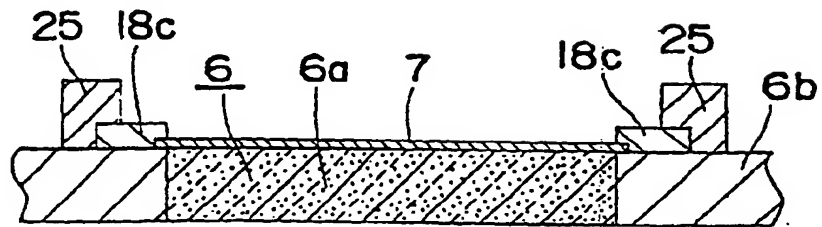


Fig.31

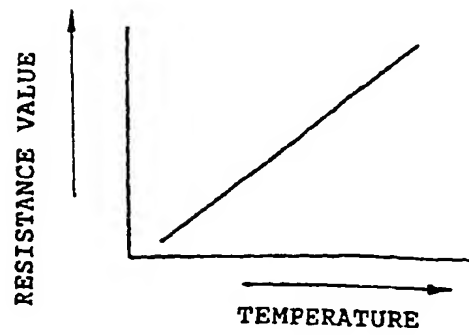


Fig. 32

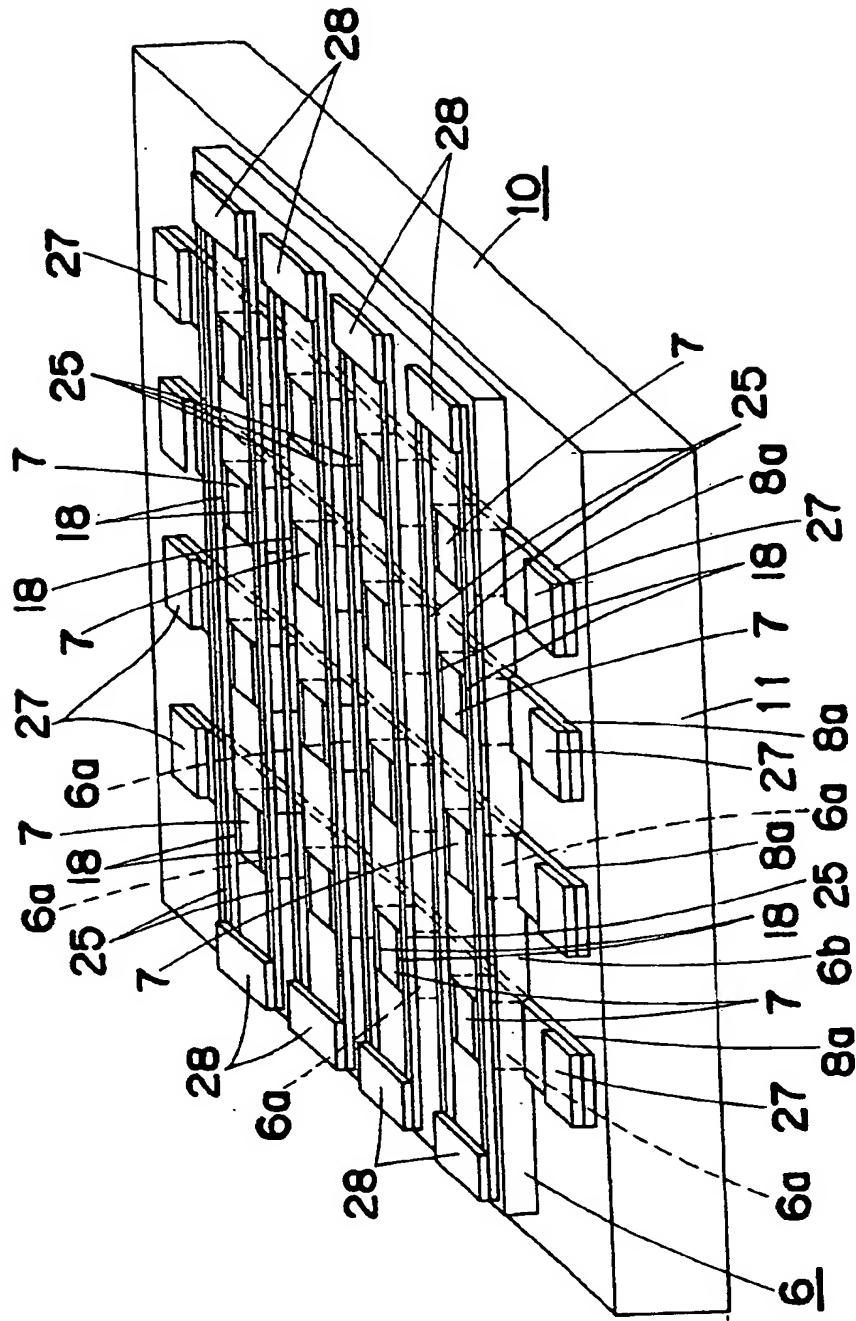


Fig. 33

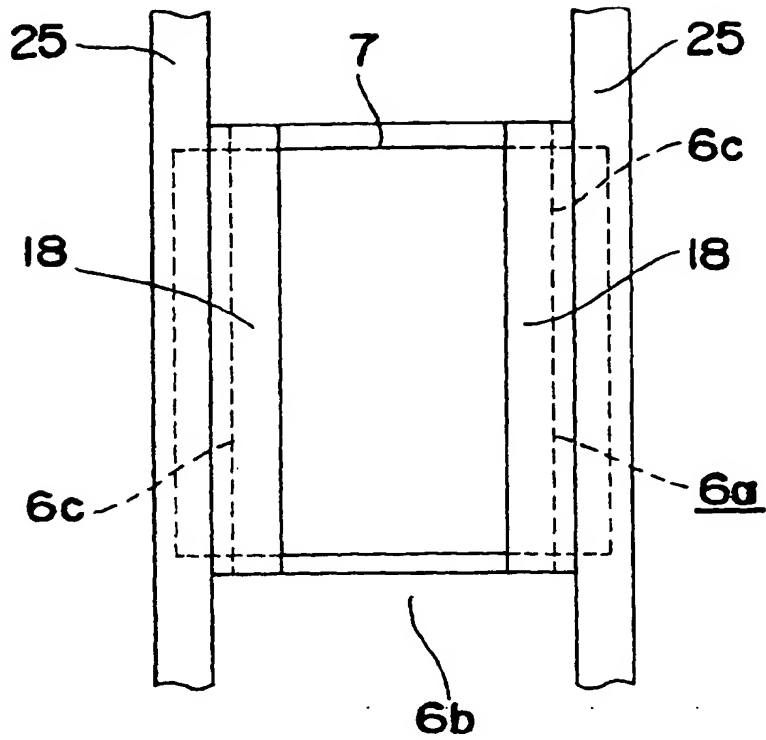


Fig. 34

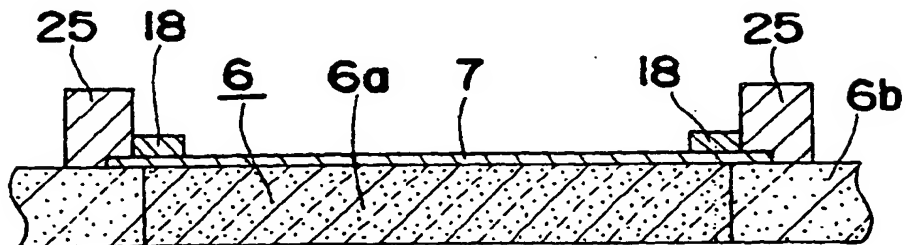


Fig. 35

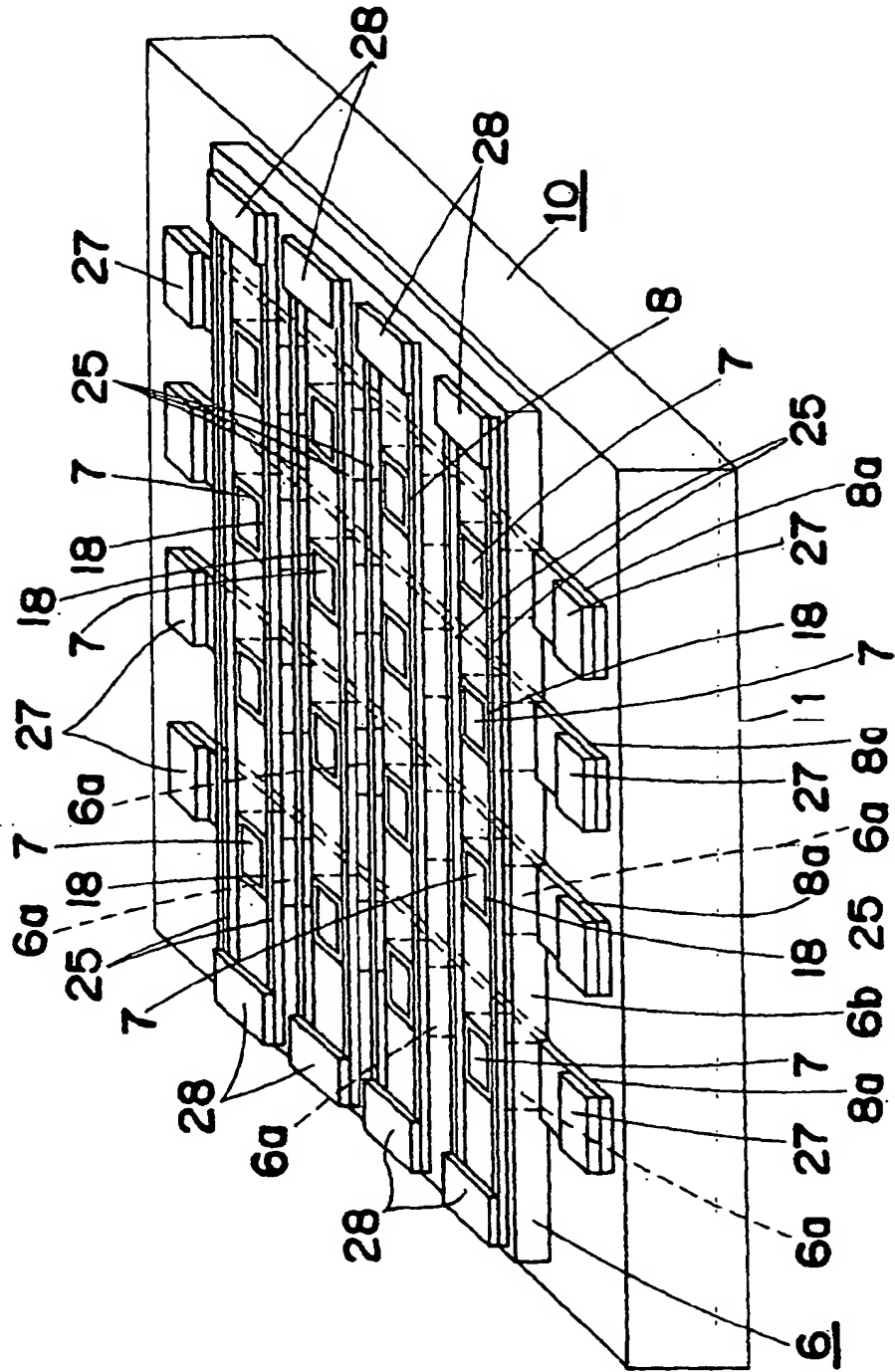


Fig. 36

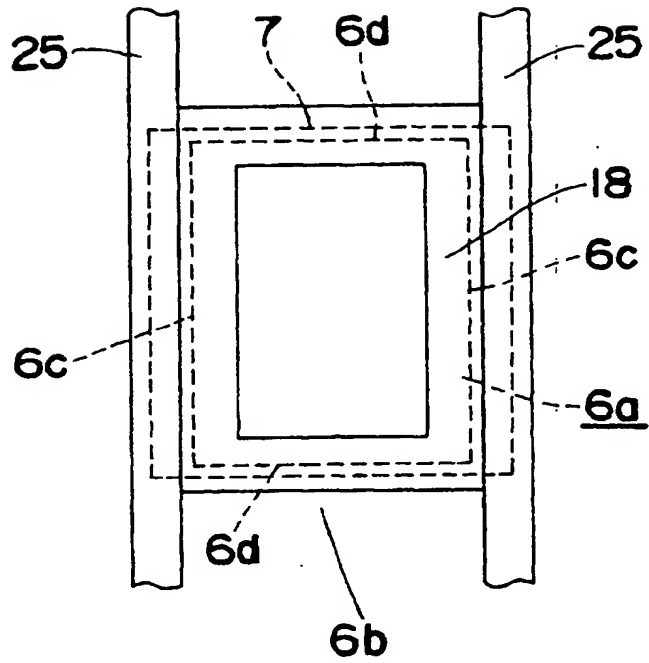


Fig. 38

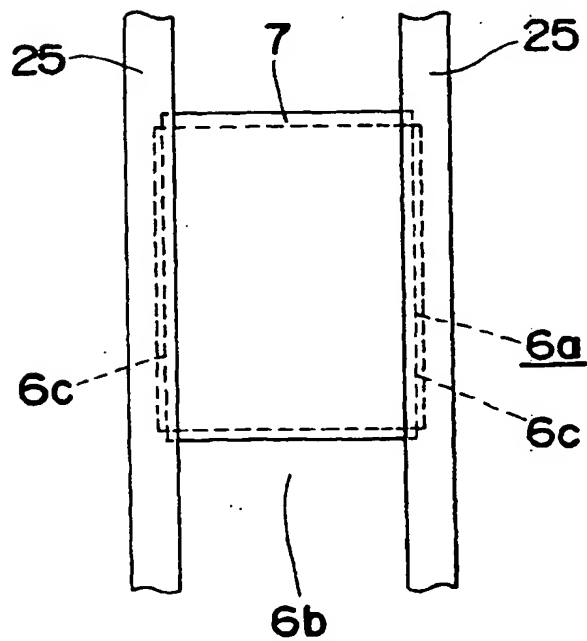


Fig. 37

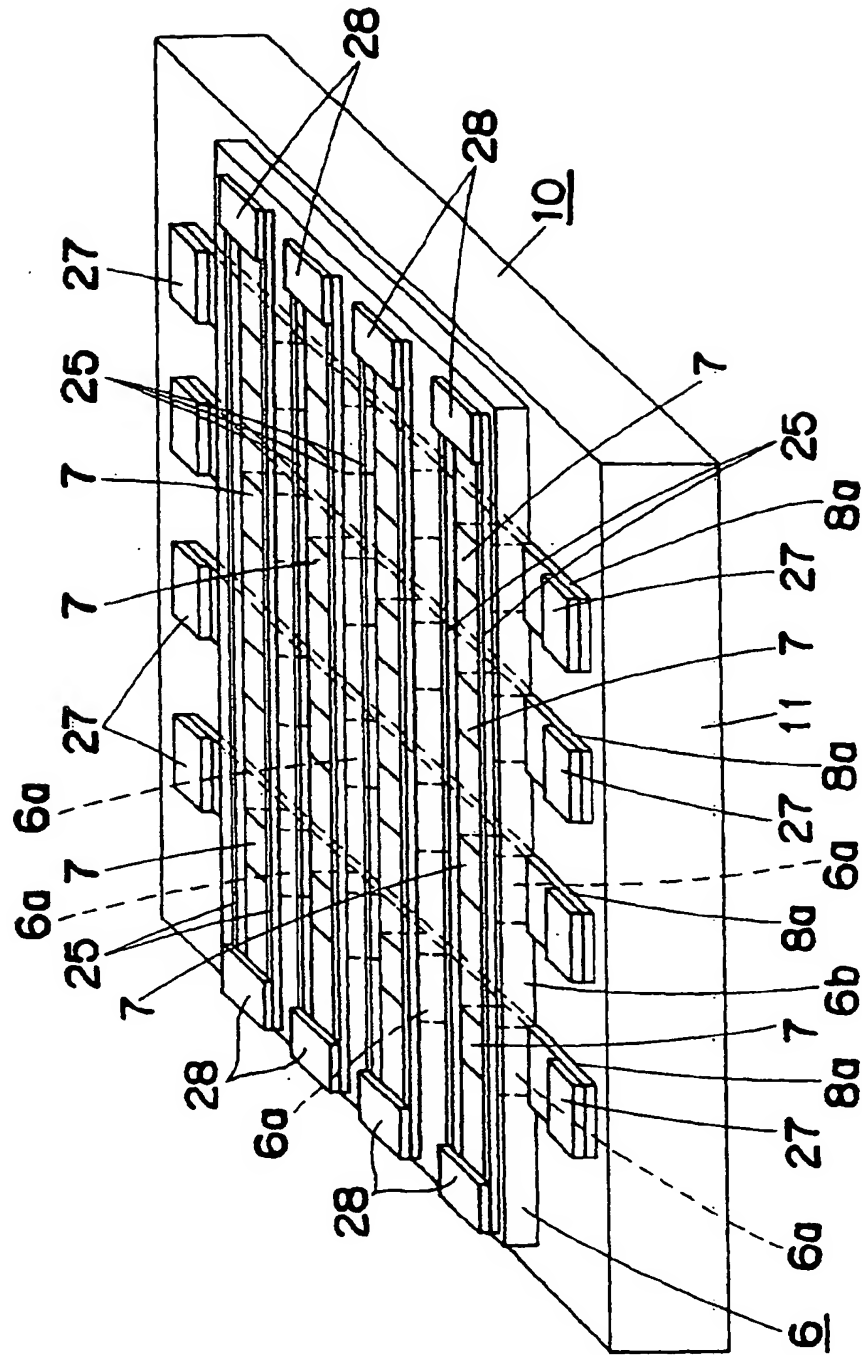


Fig. 39

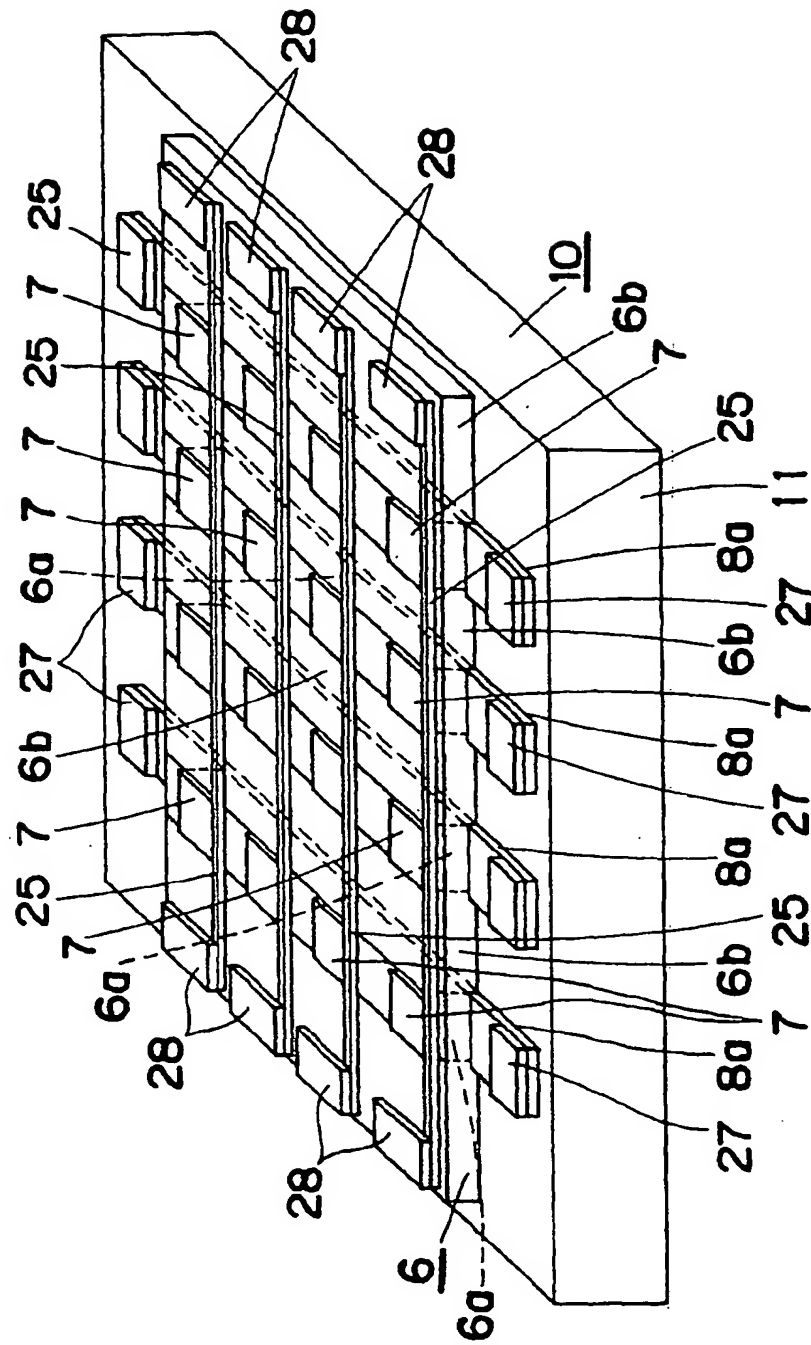


Fig. 41

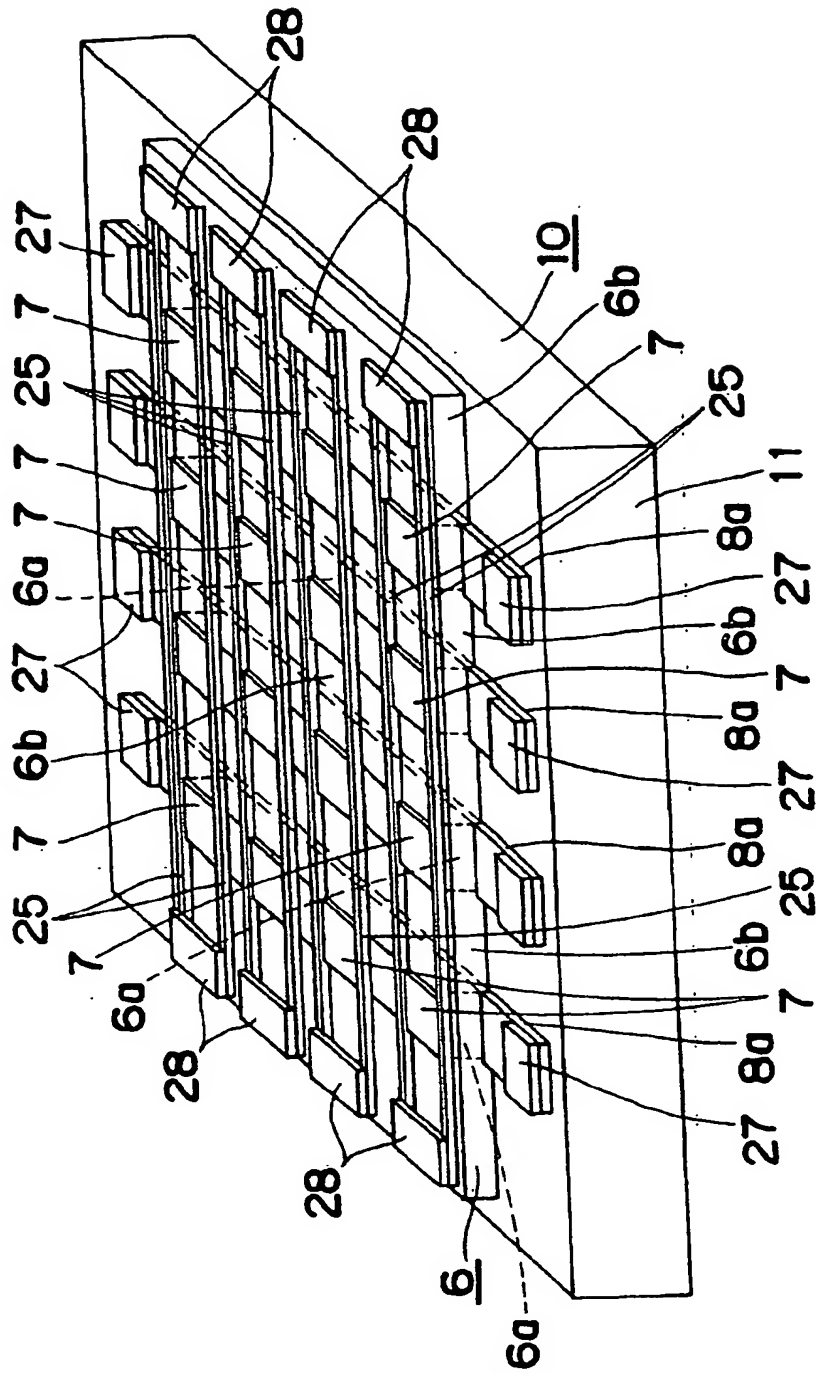


Fig. 40

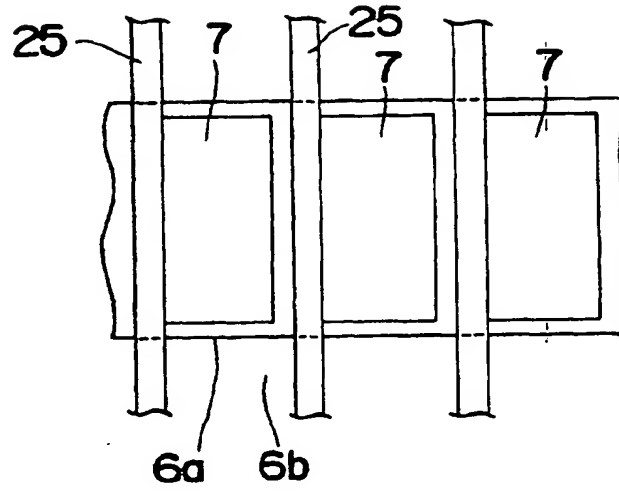


Fig. 42

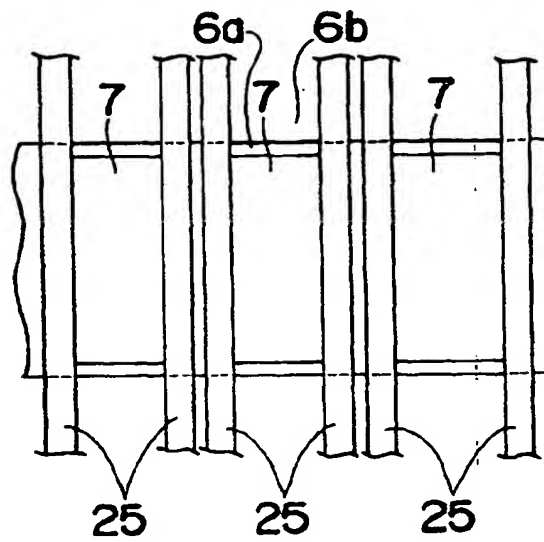


Fig. 43

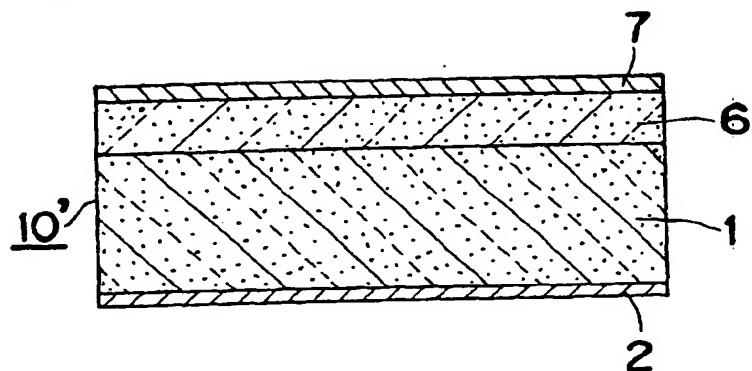


Fig. 44

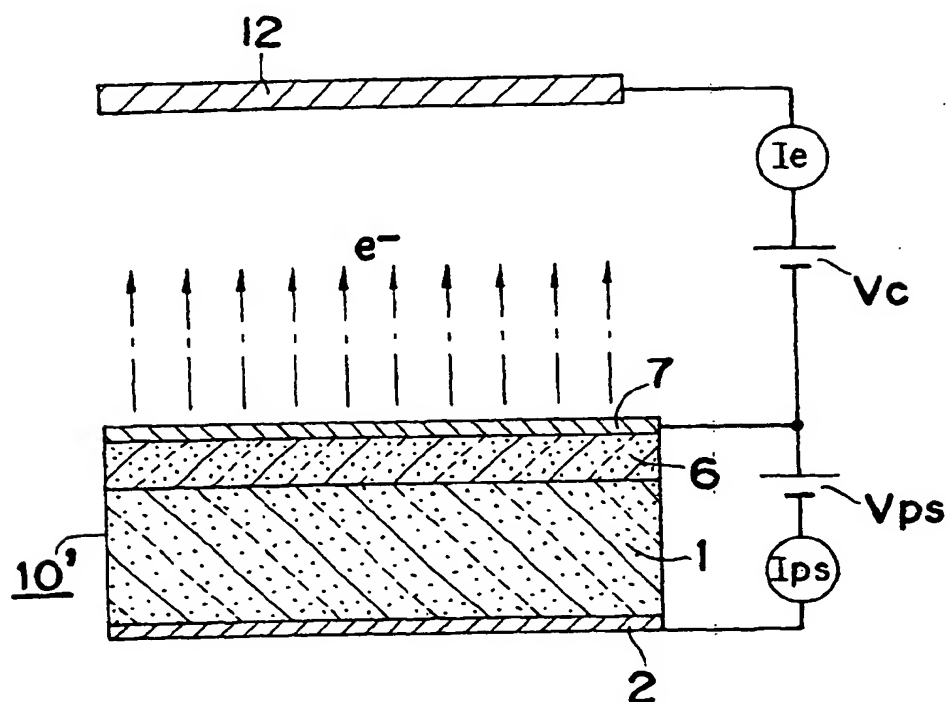


Fig. 45

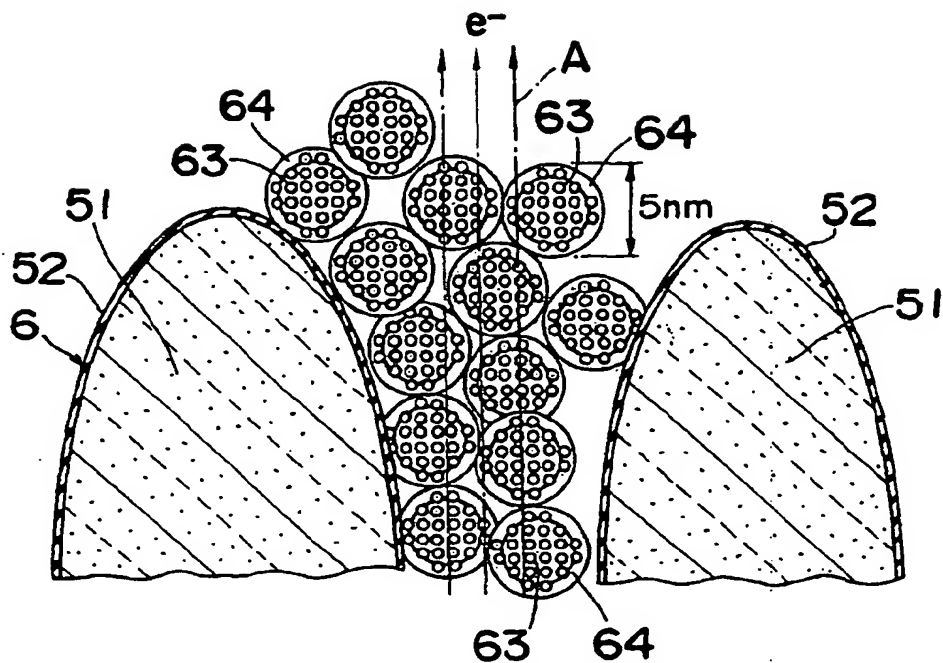


Fig. 46

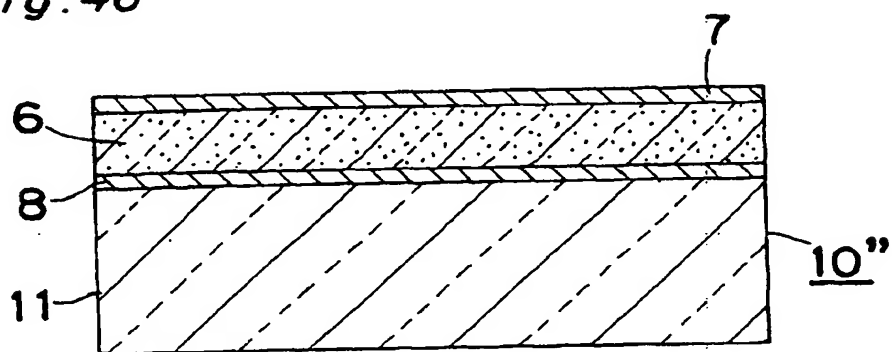


Fig. 47

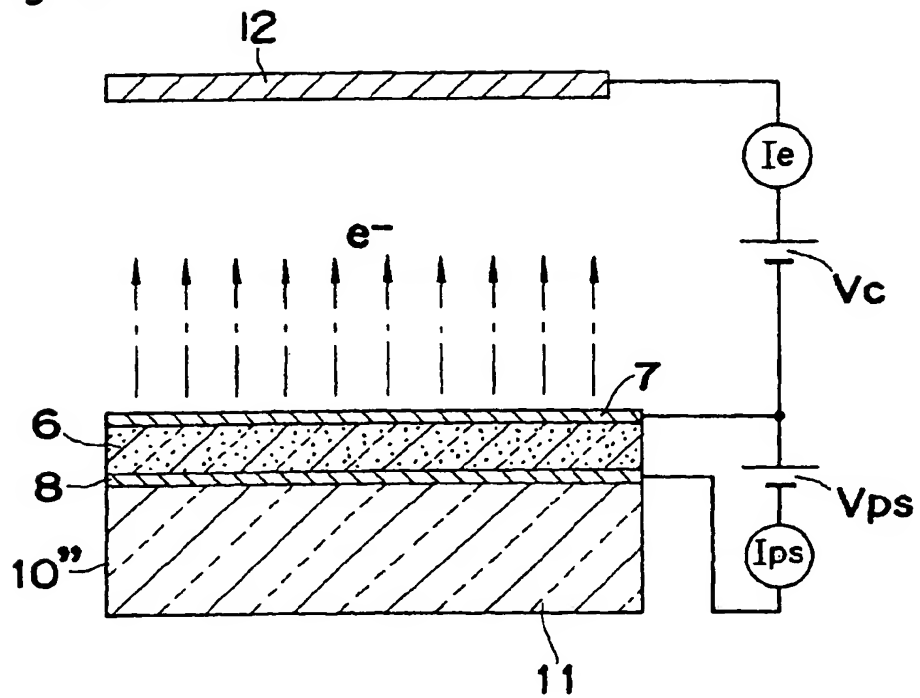


Fig. 48

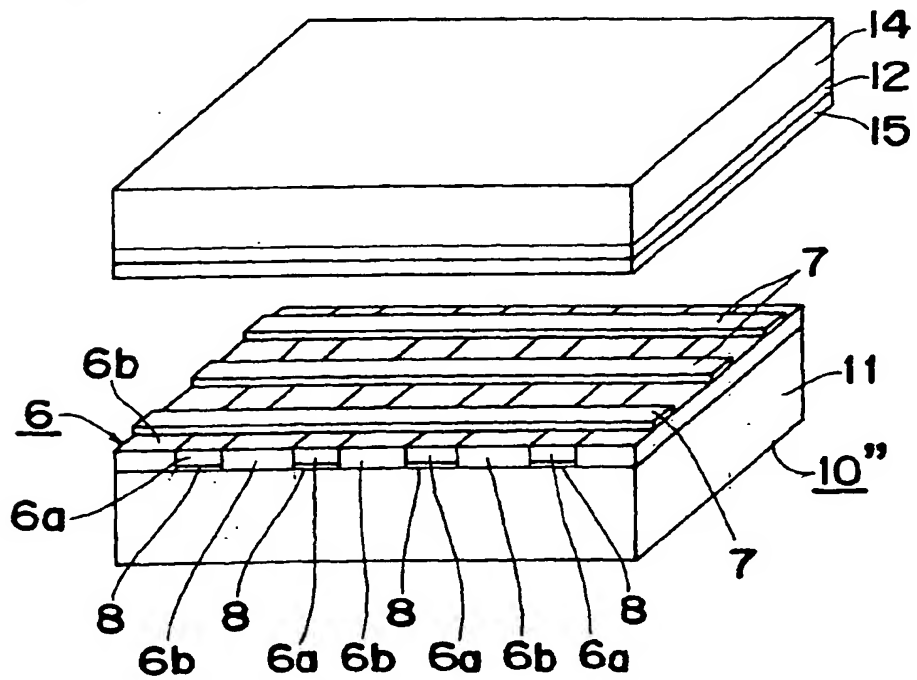


Fig. 49

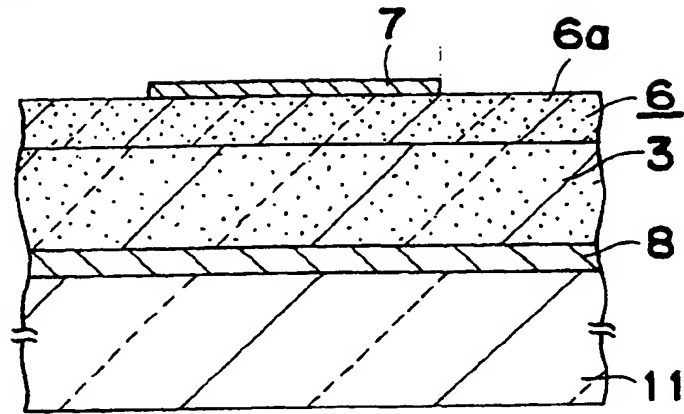


Fig. 50

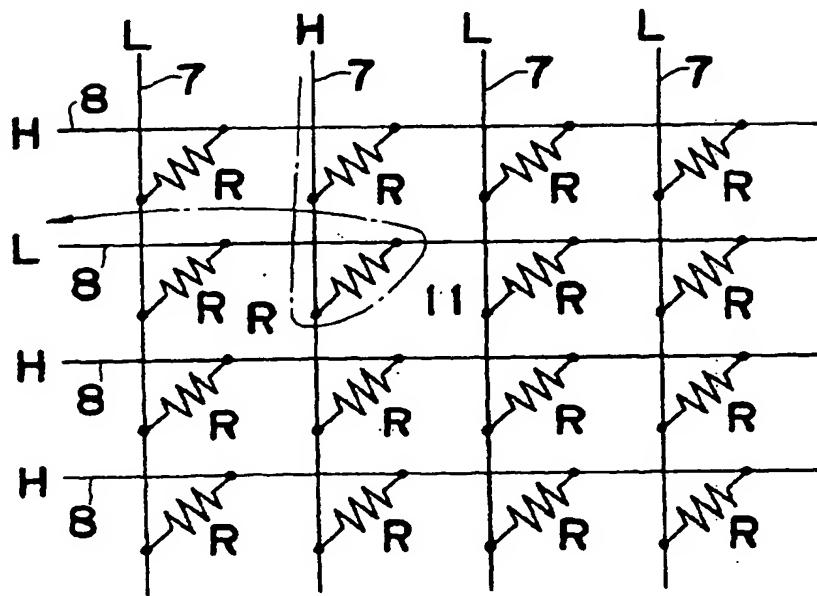


Fig. 51

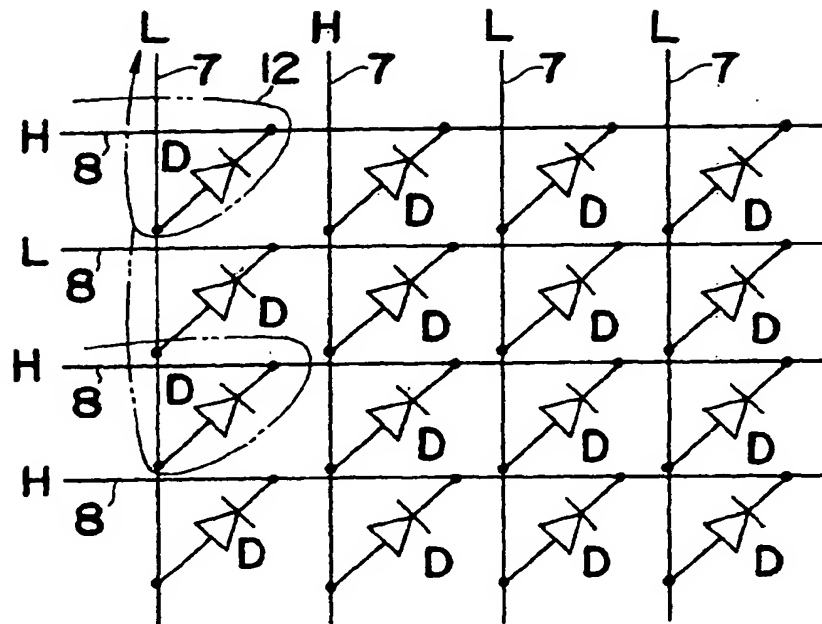


Fig. 52

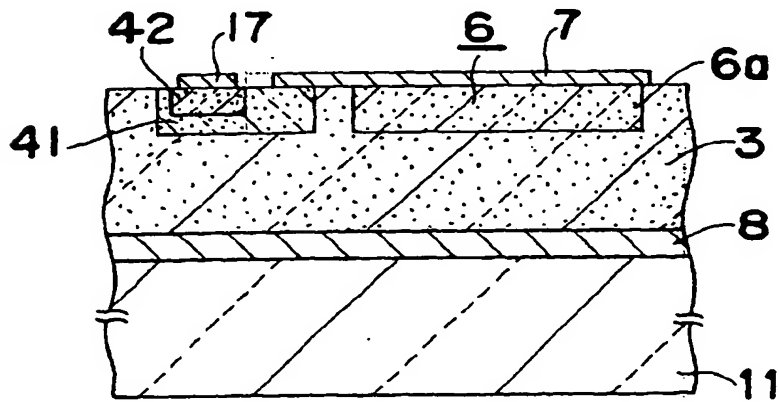


Fig. 53

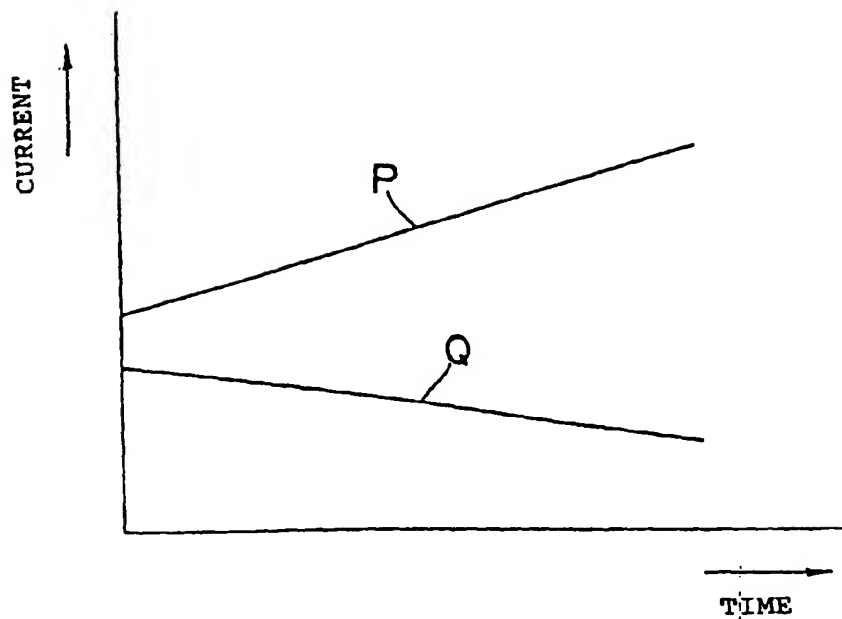


Fig. 55

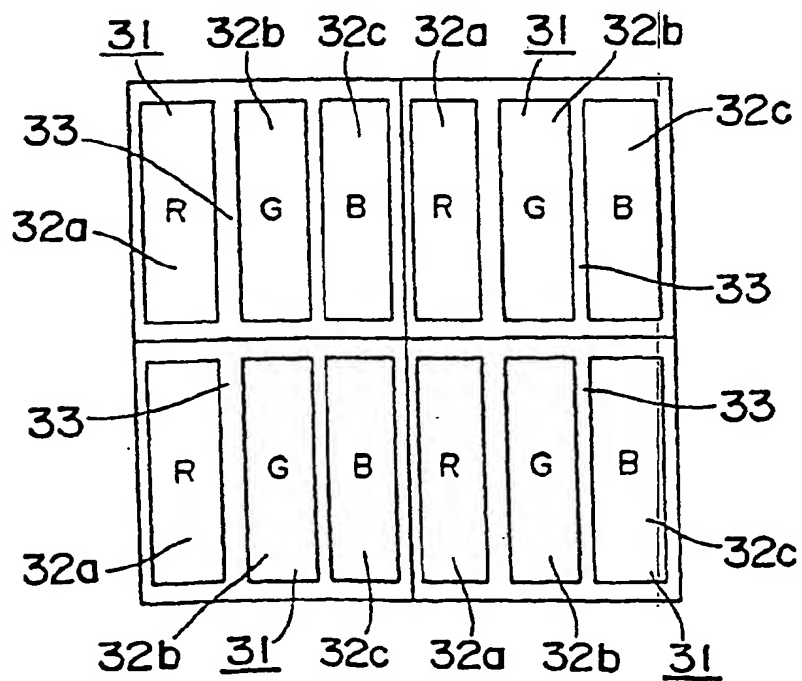


Fig. 54

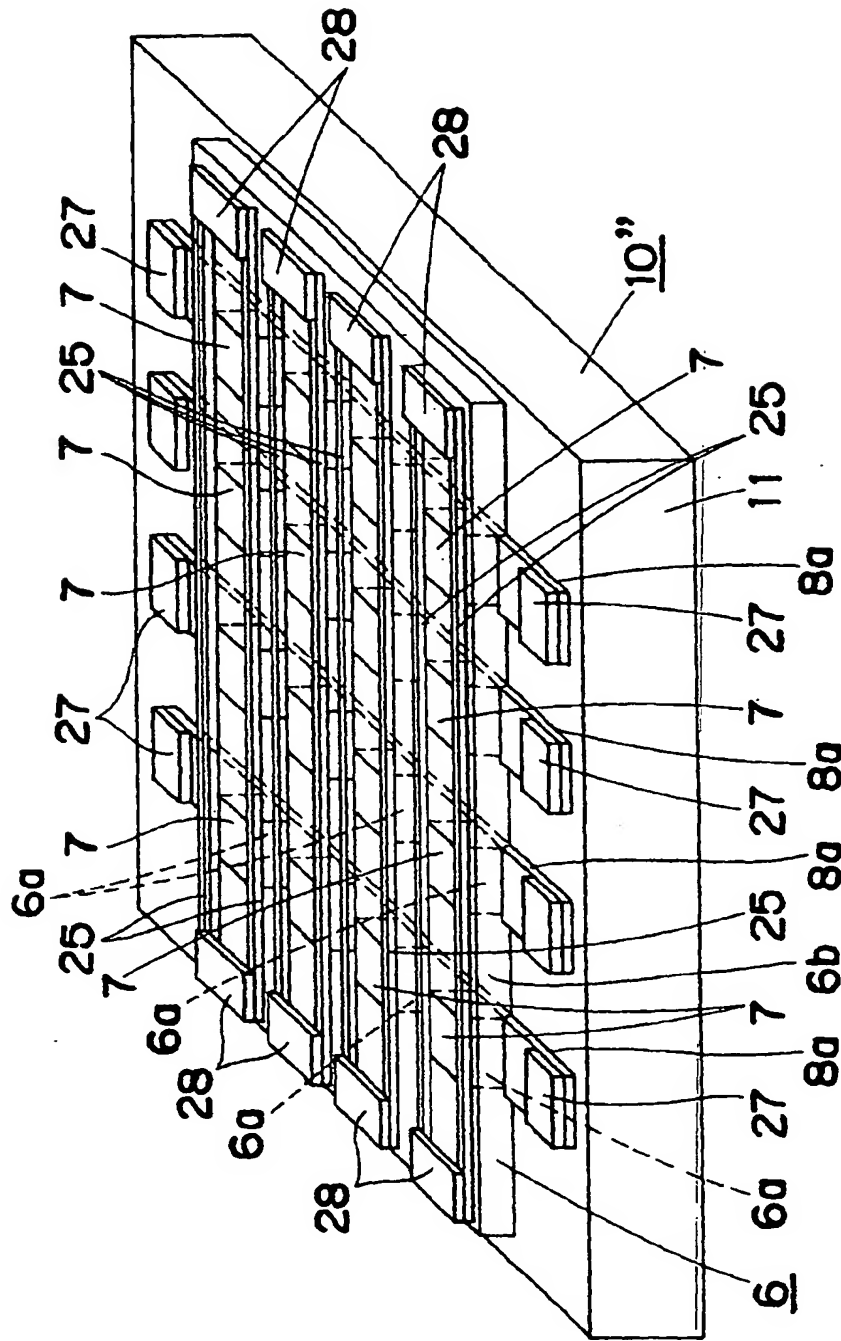
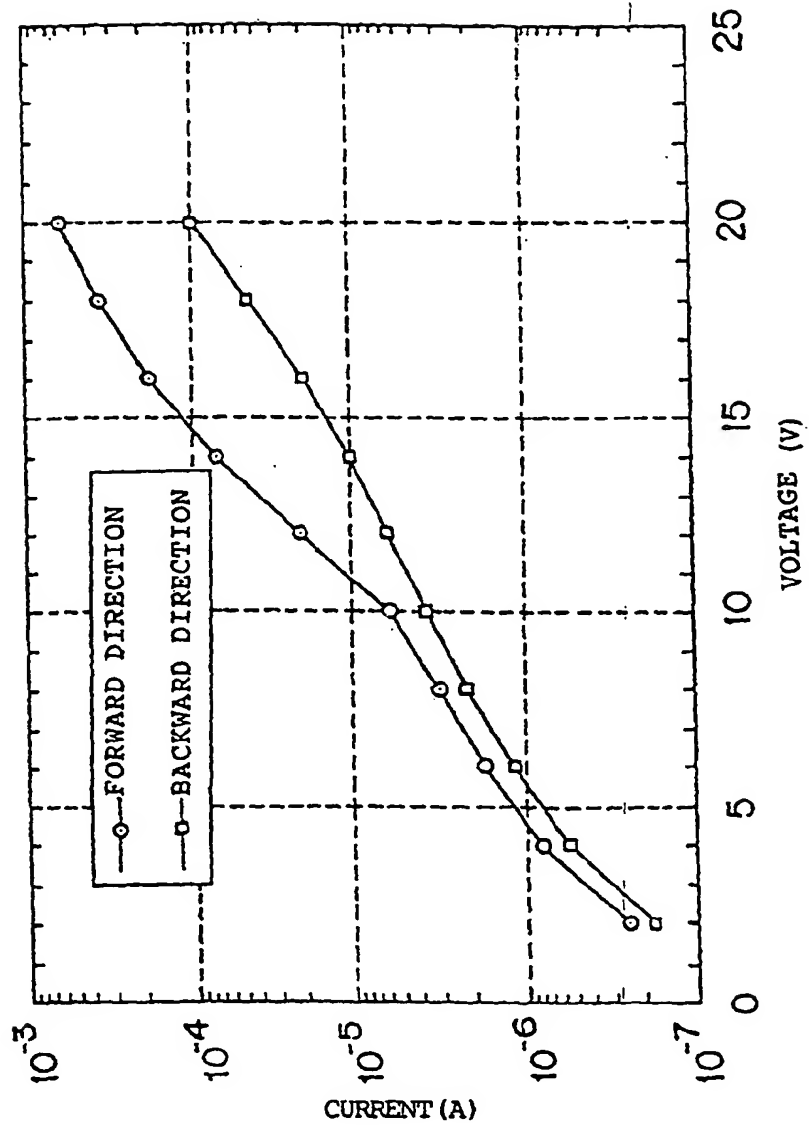


Fig. 56



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/09423

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl. ⁷ H01J 1/30		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int.Cl. ⁷ H01J 1/30		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2002 Kokai Jitsuyo Shinan Koho 1971-2002 Jitsuyo Shinan Toroku Koho 1996-2002		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	EP 1026721 A1 (Matsushita Electric Works, Ltd.), 09 August, 2000 (09.08.2000), Full text; Figs. 11-14, 25-31 & WO 00/13197 A & JP 12-138026 A & JP 12-164115 A & JP 12-188057 A & JP 12-188059 A	1, 10-12, 23 14, 15 2-9, 13, 16-22, 24-31
Y	JP 2000-188059 A (Matsushita Electric Works, Ltd.), 04 July, 2000 (04.07.2000), Full text; all drawings & EP 1026721 A1 & WO 00/13197 A	14, 15
X	EP 874384 A1 (PIONEER ELECTRONIC CORPORATION), 28 October, 1998 (28.10.1998), Full text; all drawings & JP 10-269932 A & JP 10-326557 A & US 5990605 A	1, 10, 14-22
P, X	EP 1094485 A2 (Matsushita Electric Works, Ltd.), 25 April, 2001 (25.04.2001), Par. No. [0021] & JP 2001-210224 A	1, 2, 8, 10, 12
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 18 January, 2002 (18.01.02)		Date of mailing of the international search report 29 January, 2002 (29.01.02)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/09423

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 798761 A1 (PIONEER ELECTRONIC CORPORATION), 01 October, 1997 (01.10.1997), Full text; all drawings & JP 9-259795 A & US 5894189 A	1-31

Form PCT/ISA/210 (continuation of second sheet) (July 1992)